



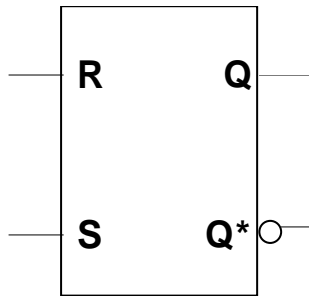
Cours 6

Logique séquentielle (2)

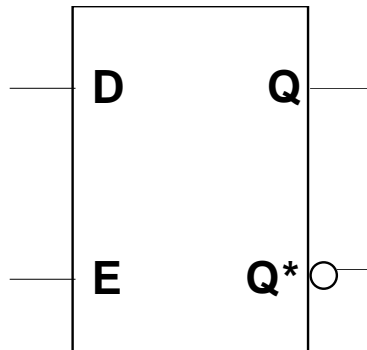
ELP 304 : Electronique Numérique



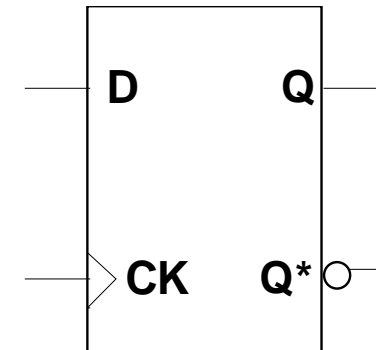
Bascules étudiées au cours 5



Bascule RS
asynchrone



Bascule D latch
ou à verrouillage
synchronisation
sur niveau



Bascule D flip-flop
ou à
déclenchement
sur fronts
synchronisation
sur fronts

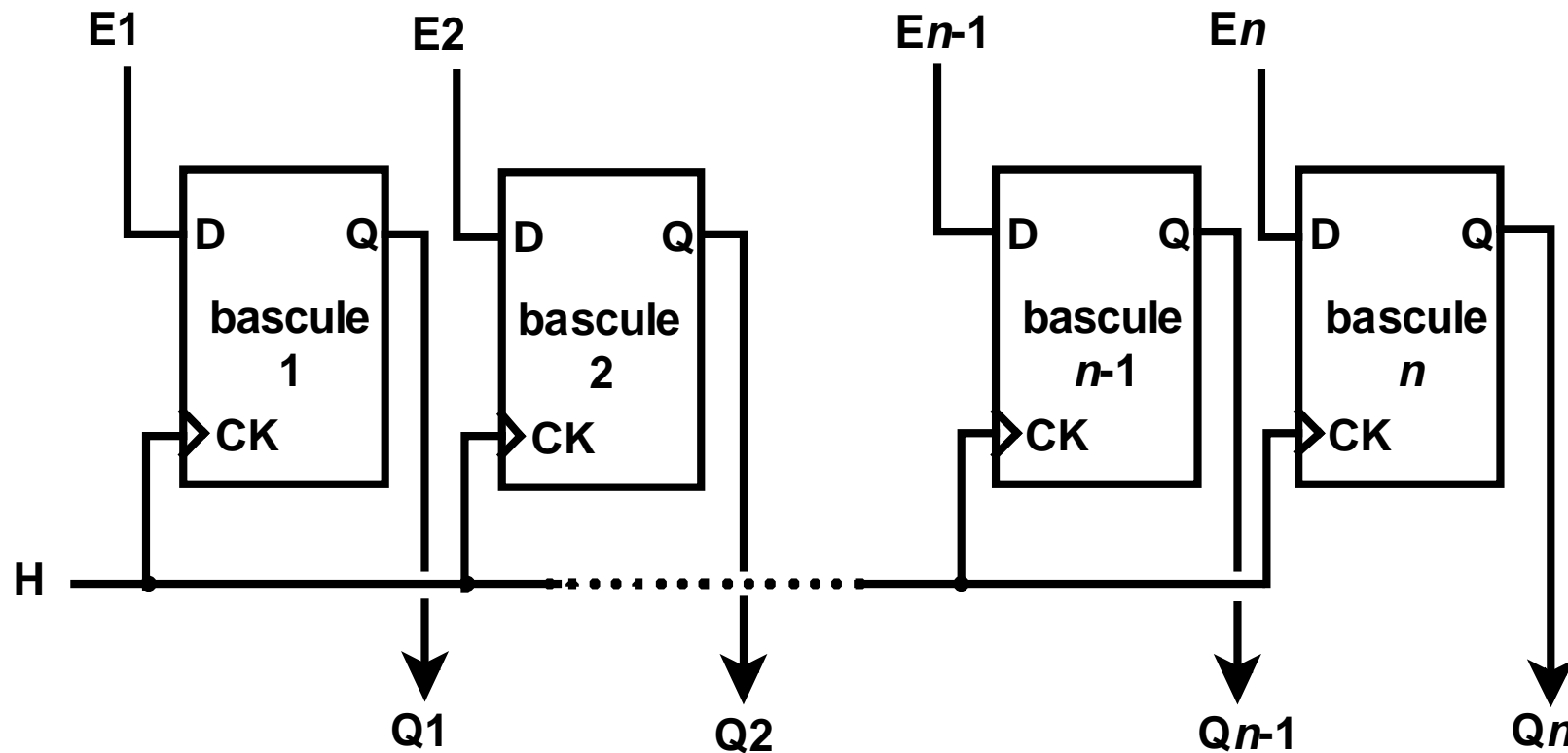
Qu'est-ce qu'un registre ?

- Ensemble de bascules permettant
 - de **stocker** une information sous forme de mots binaires de n bits
 - et, pour certains types de registres, d'effectuer des **translations** ou **décalages** sur ces mots,

- Les registres de **mémorisation**
 - **stockage**

- Les registres à **décalage**
 - **stockage et décalage**

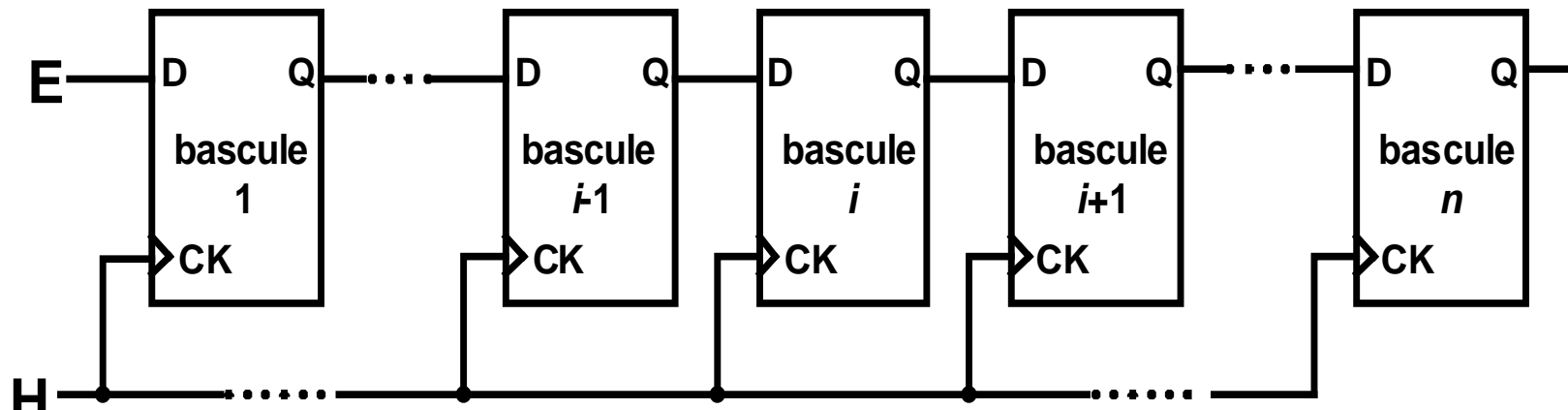
Le registre de mémorisation ou registre tampon



Réalisation avec des bascules **D latches** ou **D flip-flops**

Les registres à décalage (I)

- Les bascules sont interconnectées
=> Utilisation exclusive de **flip-flops** (cf. PC 6-7)
- Fonction **décalage à droite**

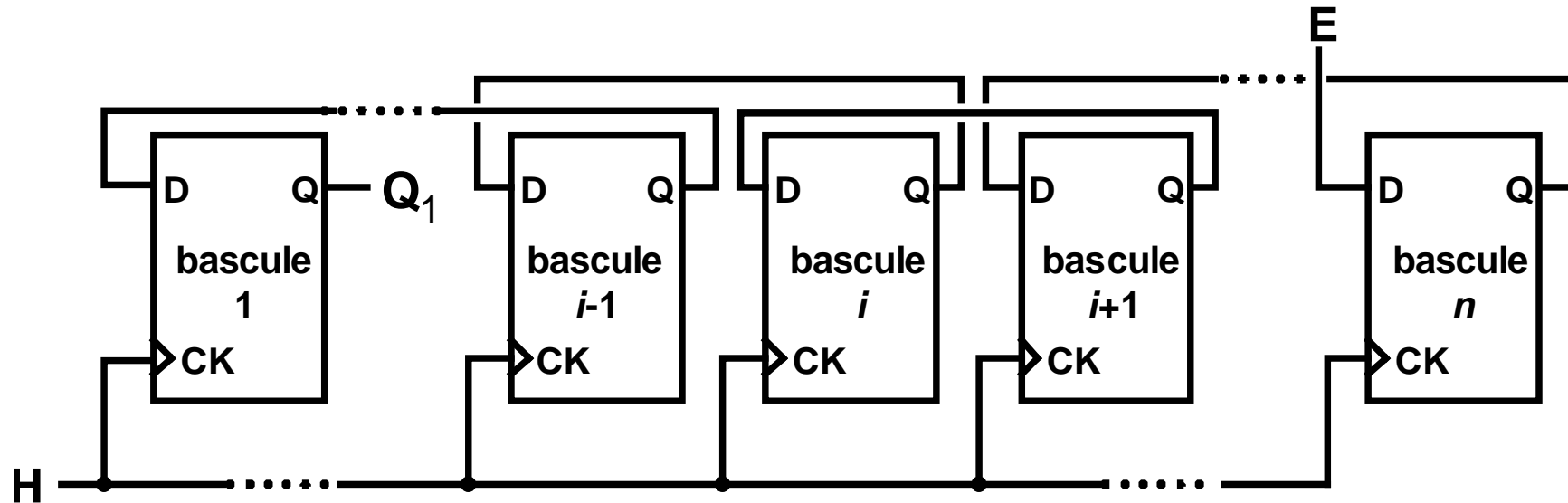


$$D_i = Q_{i-1}$$

=> E sur Q_n après n fronts actifs de H

Les registres à décalage (II)

- Fonction décalage à gauche

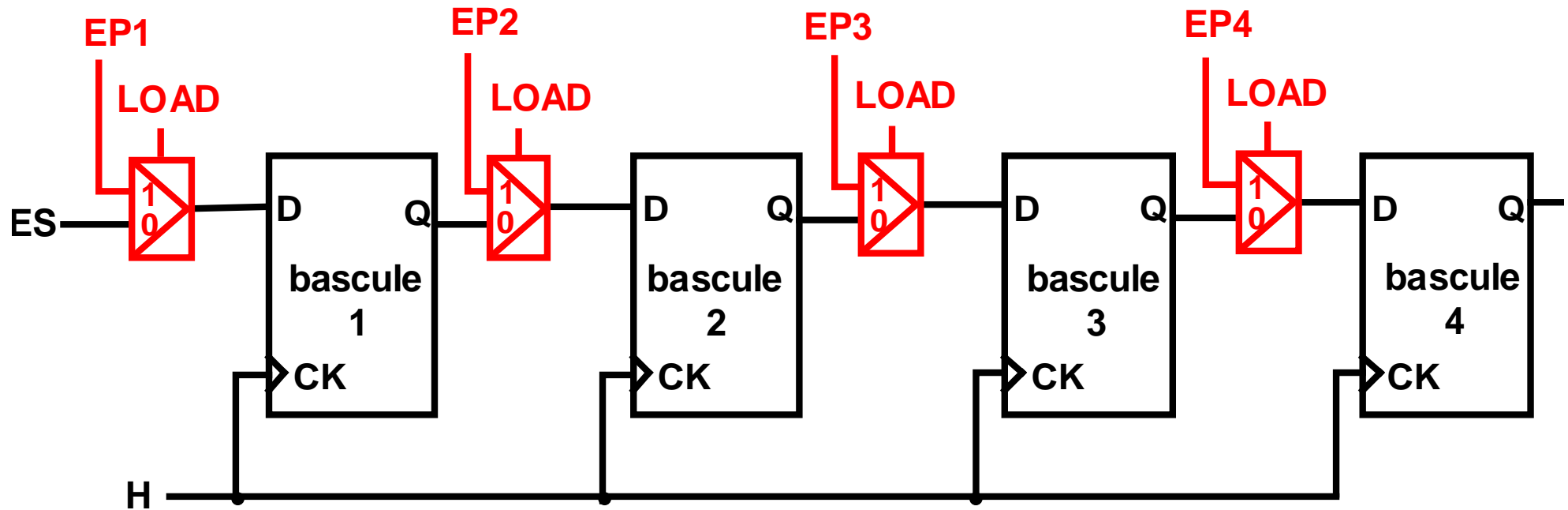


$$D_i = Q_{i+1}$$

$\Rightarrow E$ sur Q_1 après n fronts actifs de H

Les registres à décalage (III)

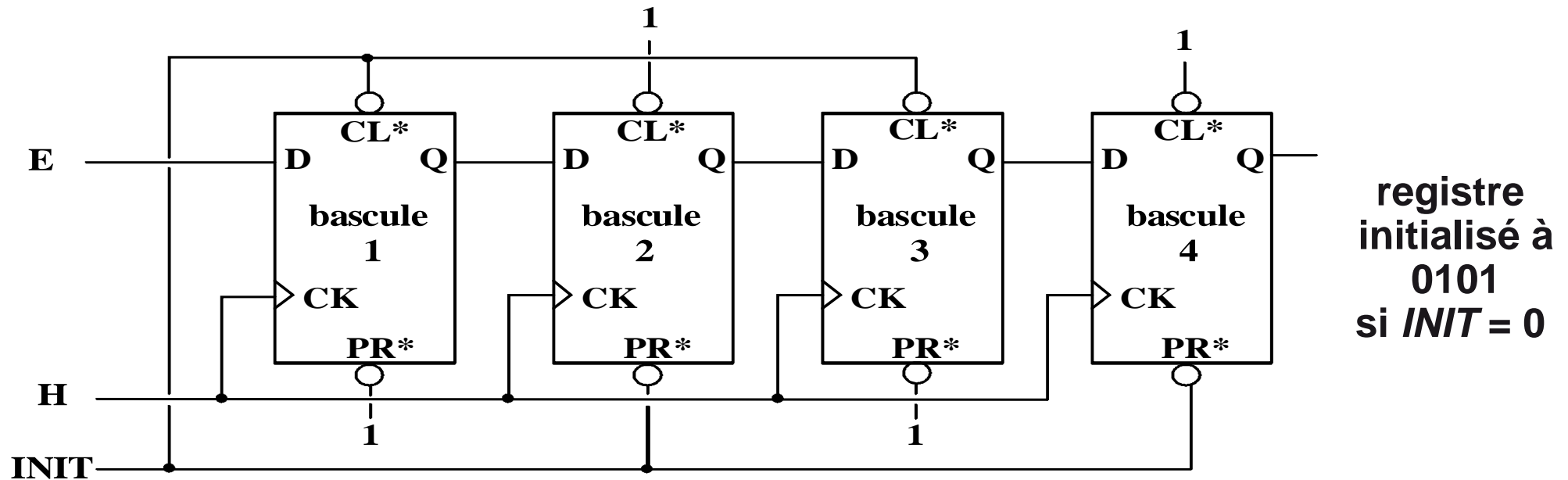
■ Fonction de chargement parallèle



- $LOAD = 1$, (EP_1, \dots, EP_n) est chargé dans le registre
- $LOAD = 0$, mode décalage

Les registres à décalage (IV)

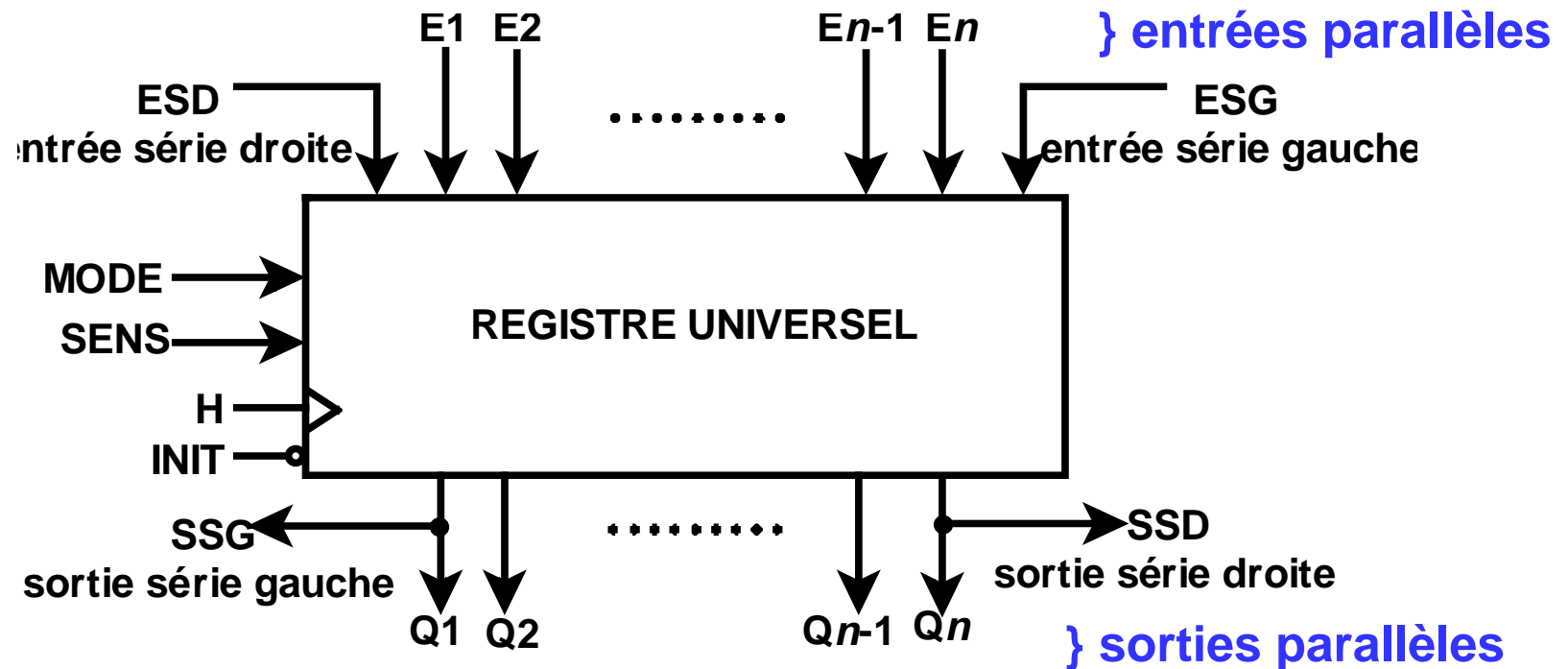
■ Initialisation du registre



- **Rappel** : entrées prioritaires asynchrones des bascules
 - **CLEAR** ou **RESET** : Q est forcé à 0
 - **SET** ou **PRESET** : Q est forcé à 1
- La commande d'initialisation **ne doit pas être activée pendant le fonctionnement normal (synchrone)** du circuit

Le registre "universel"

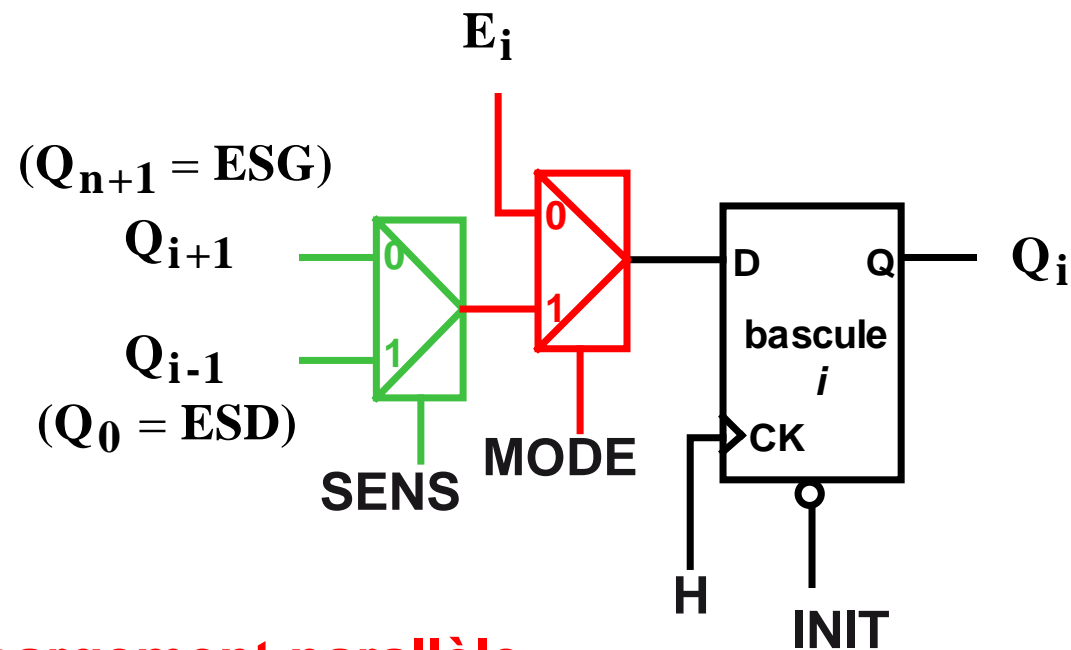
- Dans les catalogues de circuits standard : registres multi-fonctions



- chargement **série** ou **parallèle** (**MODE**, **ESD**, **ESG**, E_i)
- décalage à **droite** et à **gauche** (**SENS**)
- lecture **série** ou **parallèle** (**SSD**, **SSG**, ou Q_i)
- **initialisation** (**INIT**)

Le registre "universel" : structure

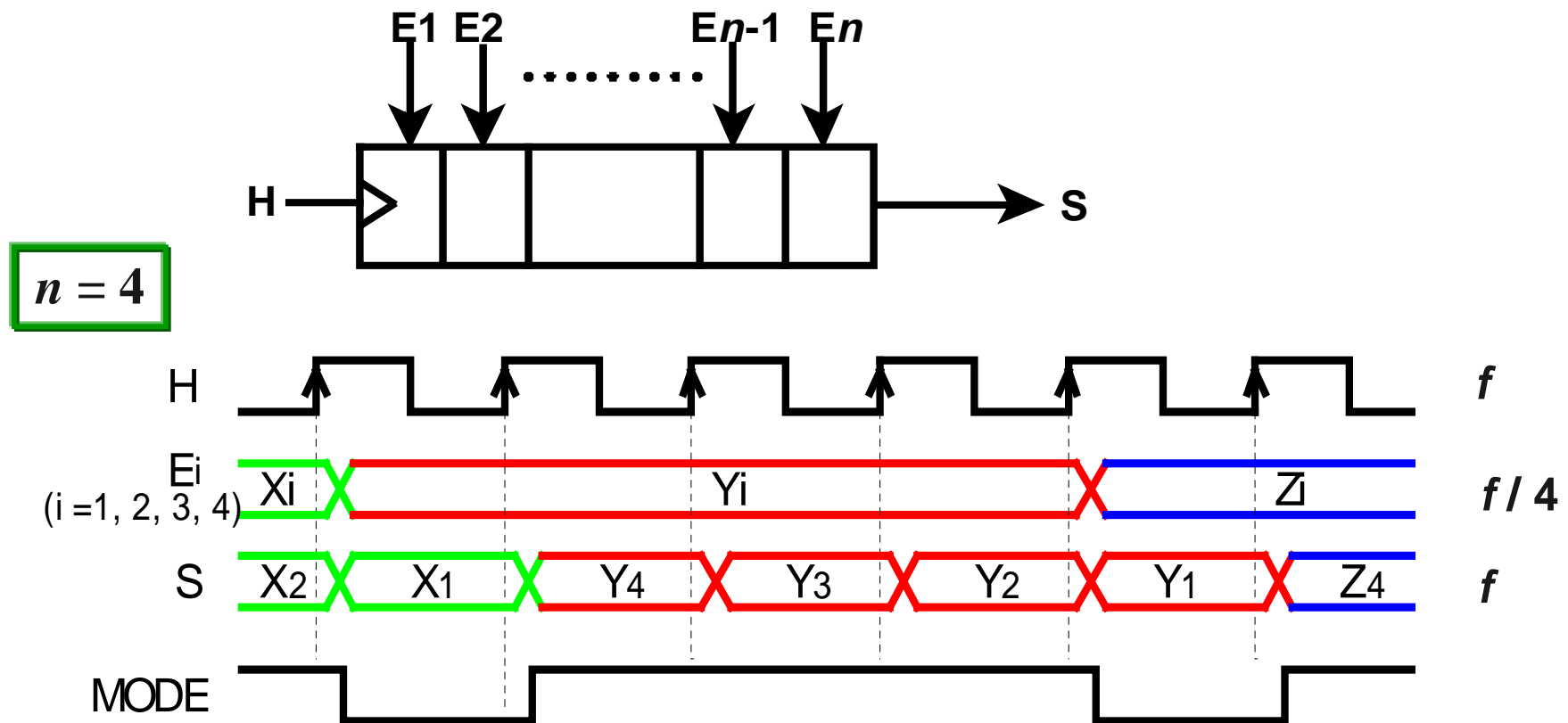
- Exemple de réalisation de la cellule de base d'un registre universel



- **MODE = 0**, chargement parallèle
- **MODE = 1**, décalage
 - **SENS = 1**, décalage droite
 - **SENS = 0**, décalage gauche

Les registres : applications (I)

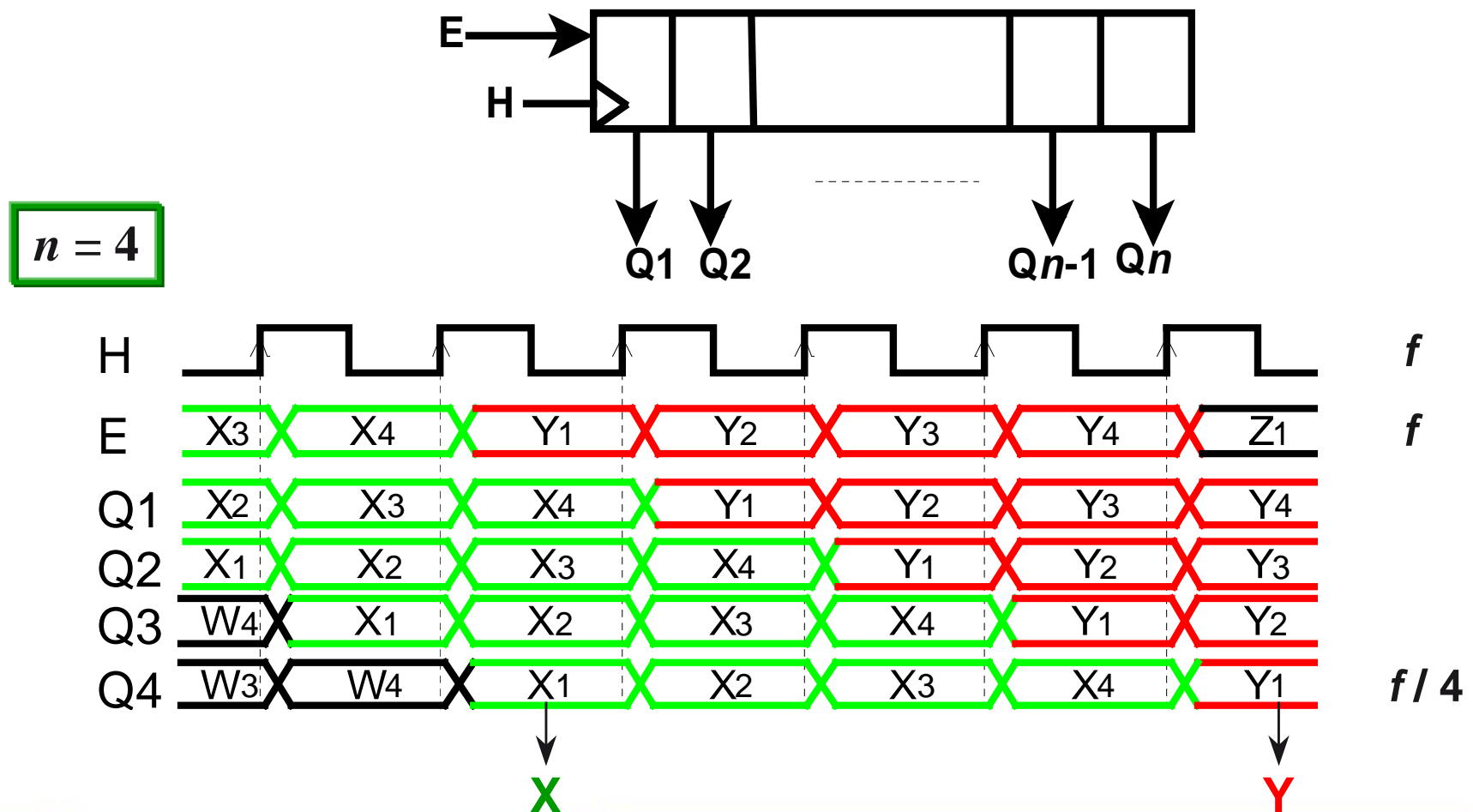
- **Mémorisation** temporaire d'une information
- **Conversion parallèle-série** de mots binaires
 - chargement parallèle puis décalage



Les registres : applications (II)

■ Conversion série-parallèle d'un train binaire

- mode décalage et récupération des mots binaires sur $Q1 \dots Qn$



Les registres : applications (III)

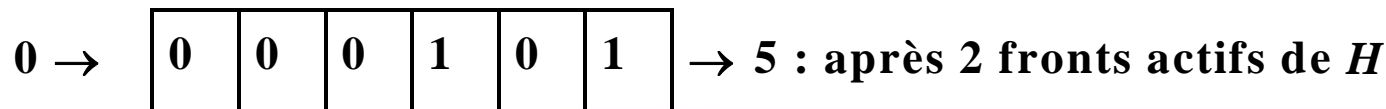
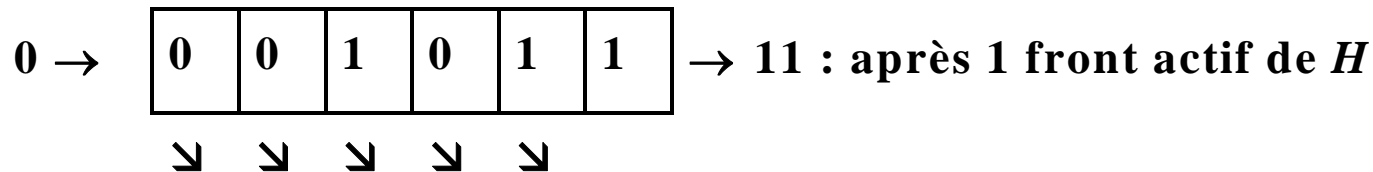
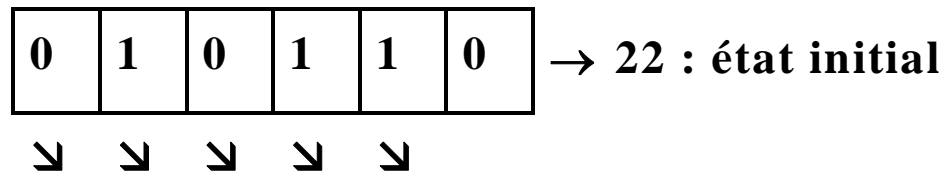
■ Ligne à retard numérique

- permet de retarder un train binaire de n périodes d'horloge



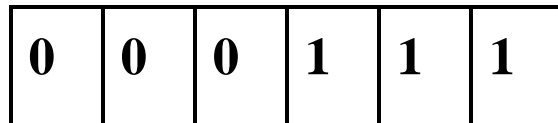
■ Division et multiplication par 2^n

- décalage à droite de n bits : **division** par 2^n

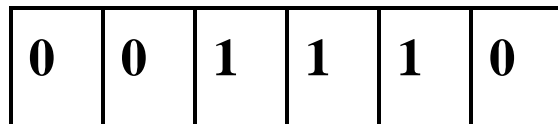


Les registres : applications (IV)

- décalage à **gauche** de n bits : **multiplication** par 2^n

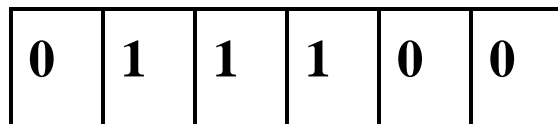
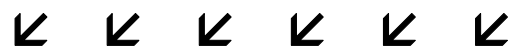


→ 7 : état initial



← 0

→ 14 : après 1 front actif de H

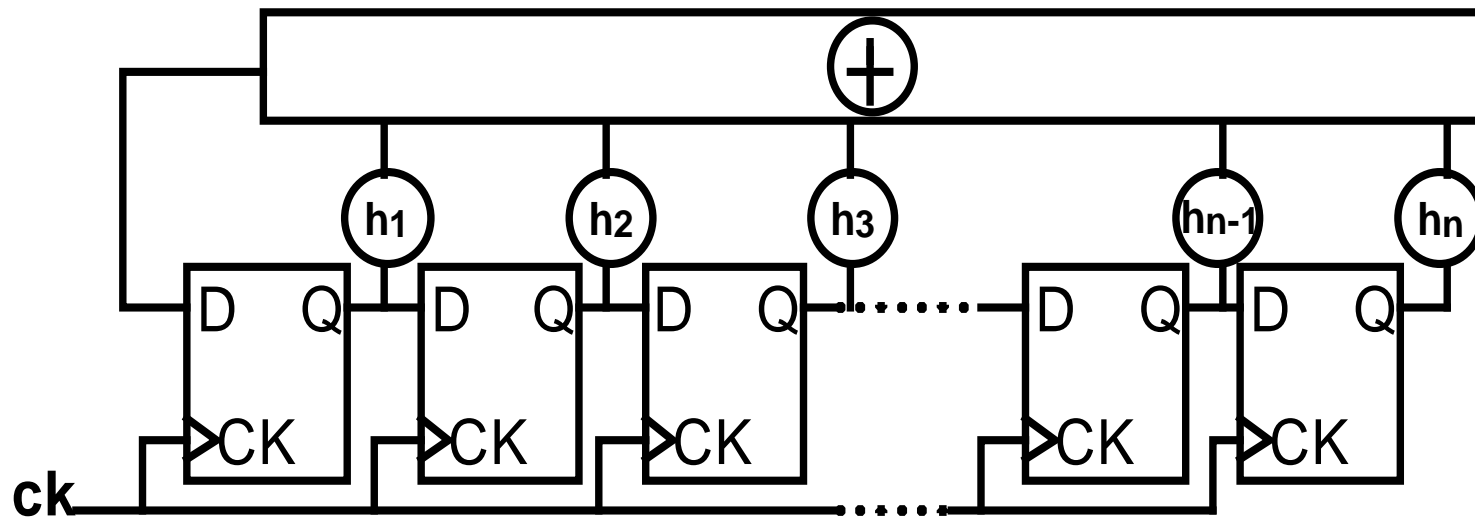


← 0

→ 28 : après 2 fronts actifs de H

Les registres : applications (V)

- Réalisation de **générateurs de séquences pseudo-aléatoires**
 - **registre à décalage + OU exclusifs**



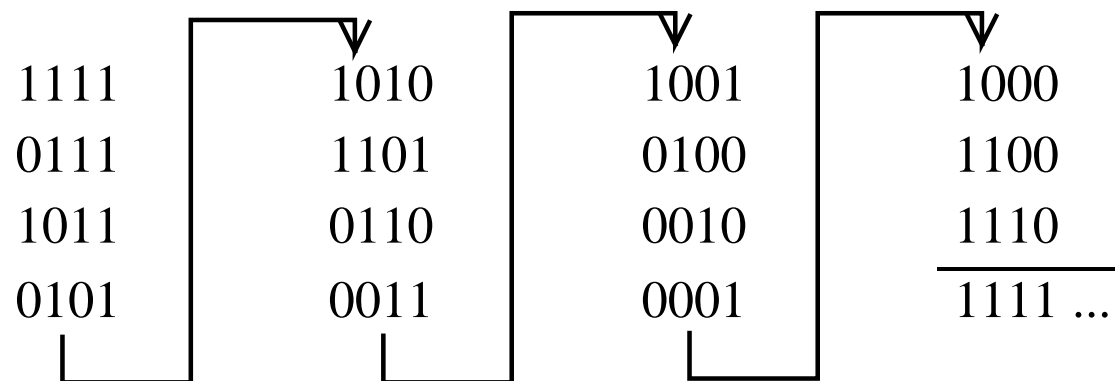
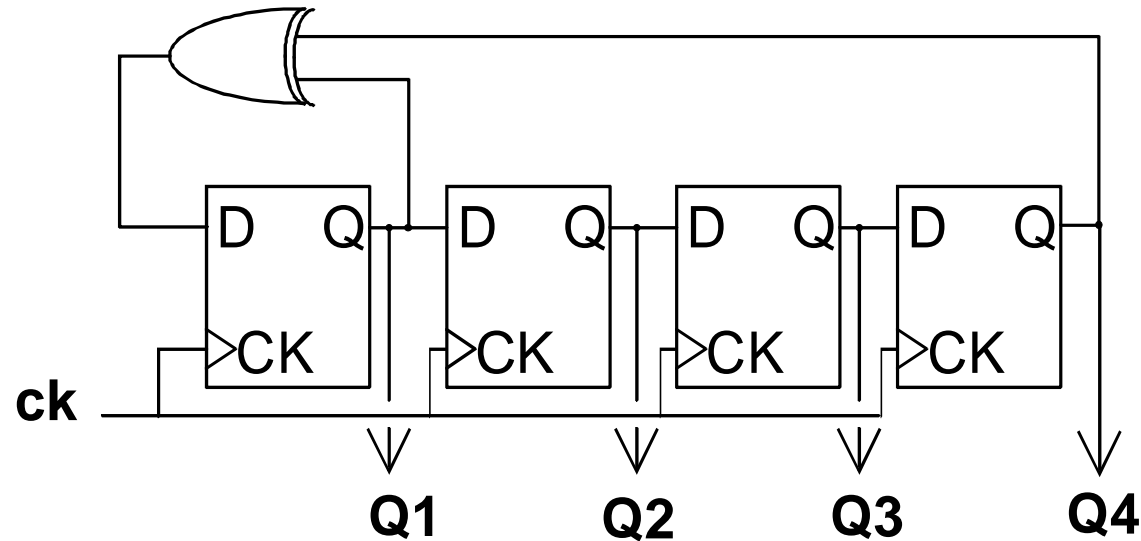
Polynôme générateur

$$P(X) = 1 + h_1 X + h_2 X^2 + \dots + h_{n-1} X^{n-1} + h_n X^n, h_i \in \{0;1\}$$

Les registres : applications (VI)

- Exemple de générateur pseudo-aléatoire

$$P(X) = 1 + X + X^4$$



Les compteurs

■ Définition

- Un compteur est un circuit dont **la valeur des sorties est directement liée au nombre d'impulsions appliquées sur son entrée d'horloge**
- Le plus souvent, énumération du code binaire naturel

■ Deux catégories de compteurs

- compteurs **asynchrones**
- compteurs **synchrones**

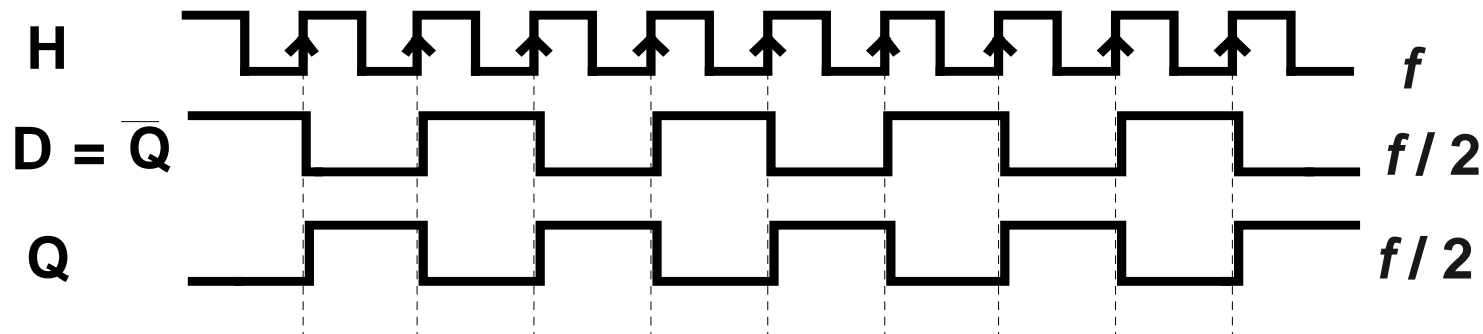
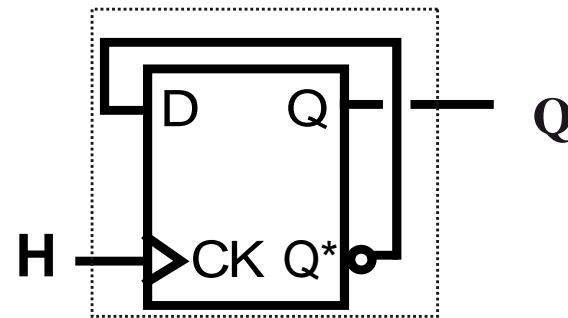
■ Un système séquentiel est synchrone (sur fronts) \Leftrightarrow les changements d'état du système (hors initialisation) sont conditionnés par les fronts actifs du signal d'horloge

- Exemple : les registres sont des circuits synchrones

■ Sinon, il est asynchrone

Le diviseur (de fréquence) par 2

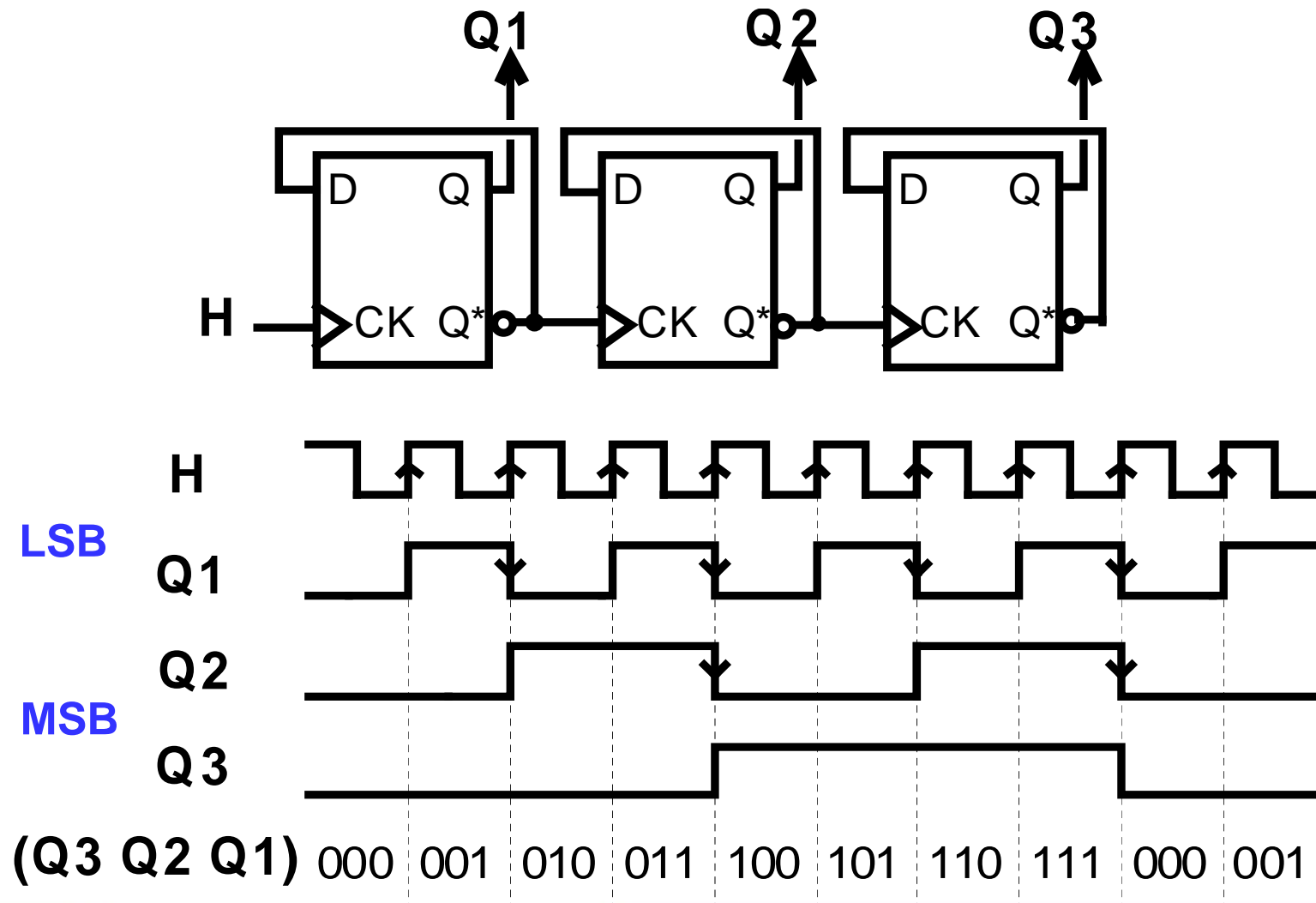
- C'est le compteur le plus simple : **comptage binaire modulo 2**



contrainte : $t_p(CK \rightarrow Q^*) > t_{hold}$ (toujours vérifié)

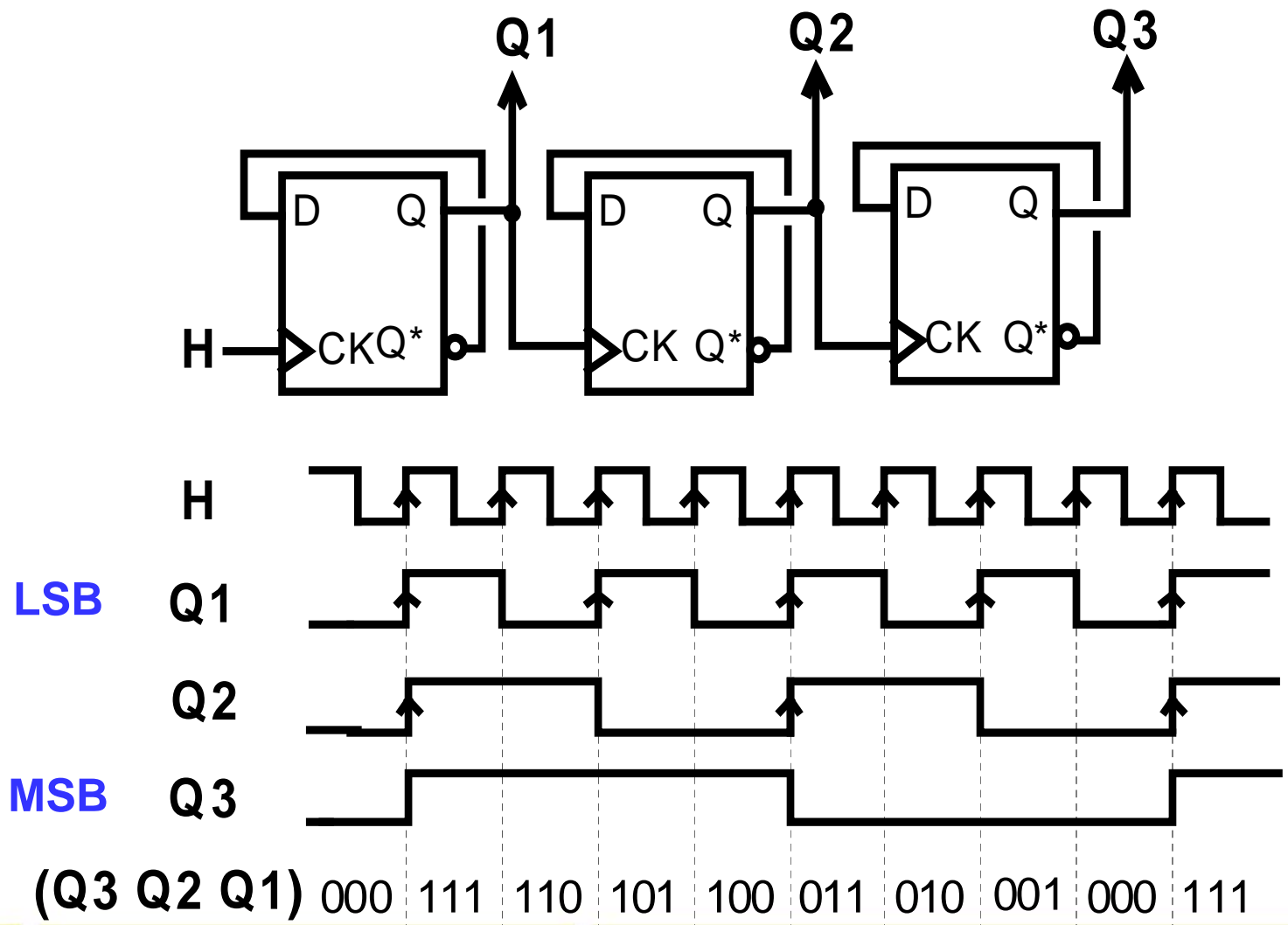
Compteurs asynchrones modulo 2^n

■ Compteur asynchrone modulo 8



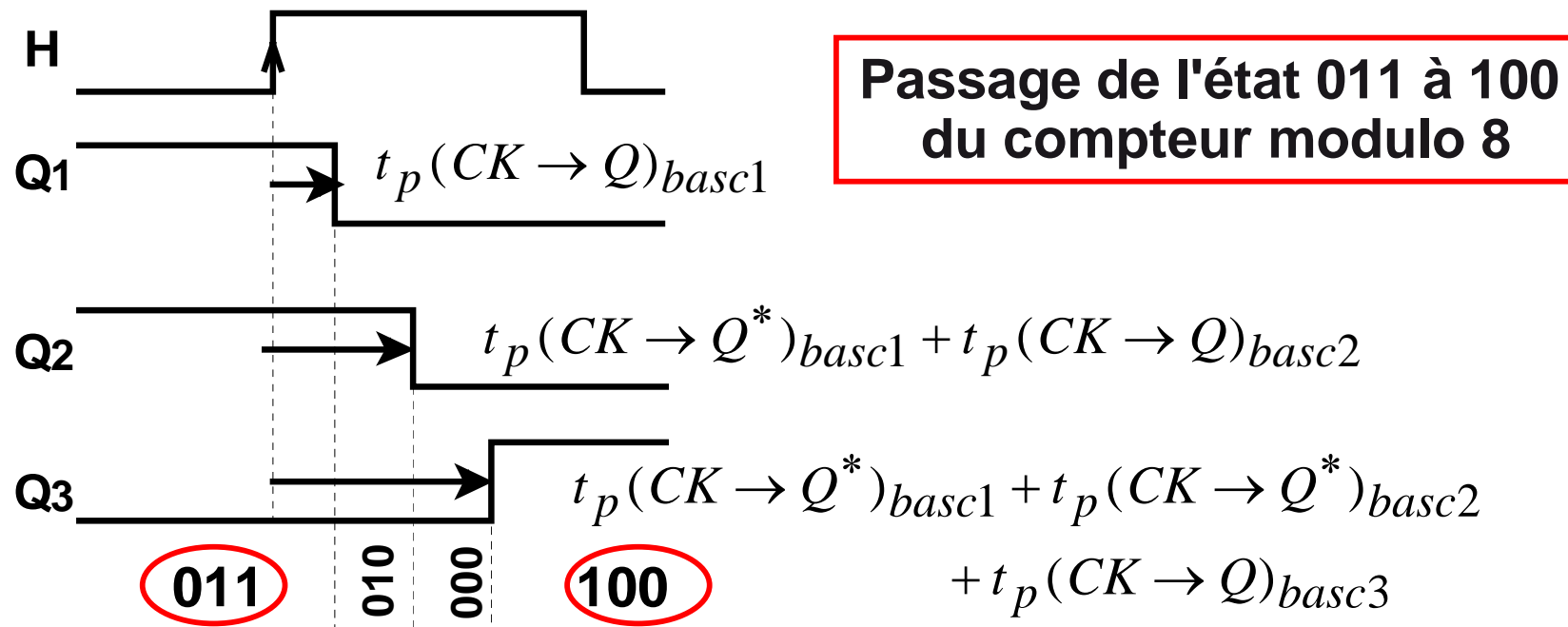
Décompteurs asynchrones modulo 2^n

■ Décompteur asynchrone modulo 8



Analyse temporelle des sorties d'un compteur / décompteur asynchrone

- **Cumul des temps de propagation** des bascules



$$t_{Ptotal} \propto n$$

- ◆ **les compteurs de grande taille sont lents**
- ◆ **états transitoires parasites**

Bilan sur l'utilisation des compteurs asynchrones

- Intérêt principal
 - leur **simplicité**
- Leurs (nombreux) inconvénients
 - **vitesse de fonctionnement limitée** pour les compteurs de grande taille
 - présence d'**états transitoires indésirables** sur les sorties après chaque front de l'horloge
 - pas de méthode fiable pour réaliser des cycles incomplets ($\neq 2^n$) ou d'autres énumérations que le code binaire naturel