



# Cours 5

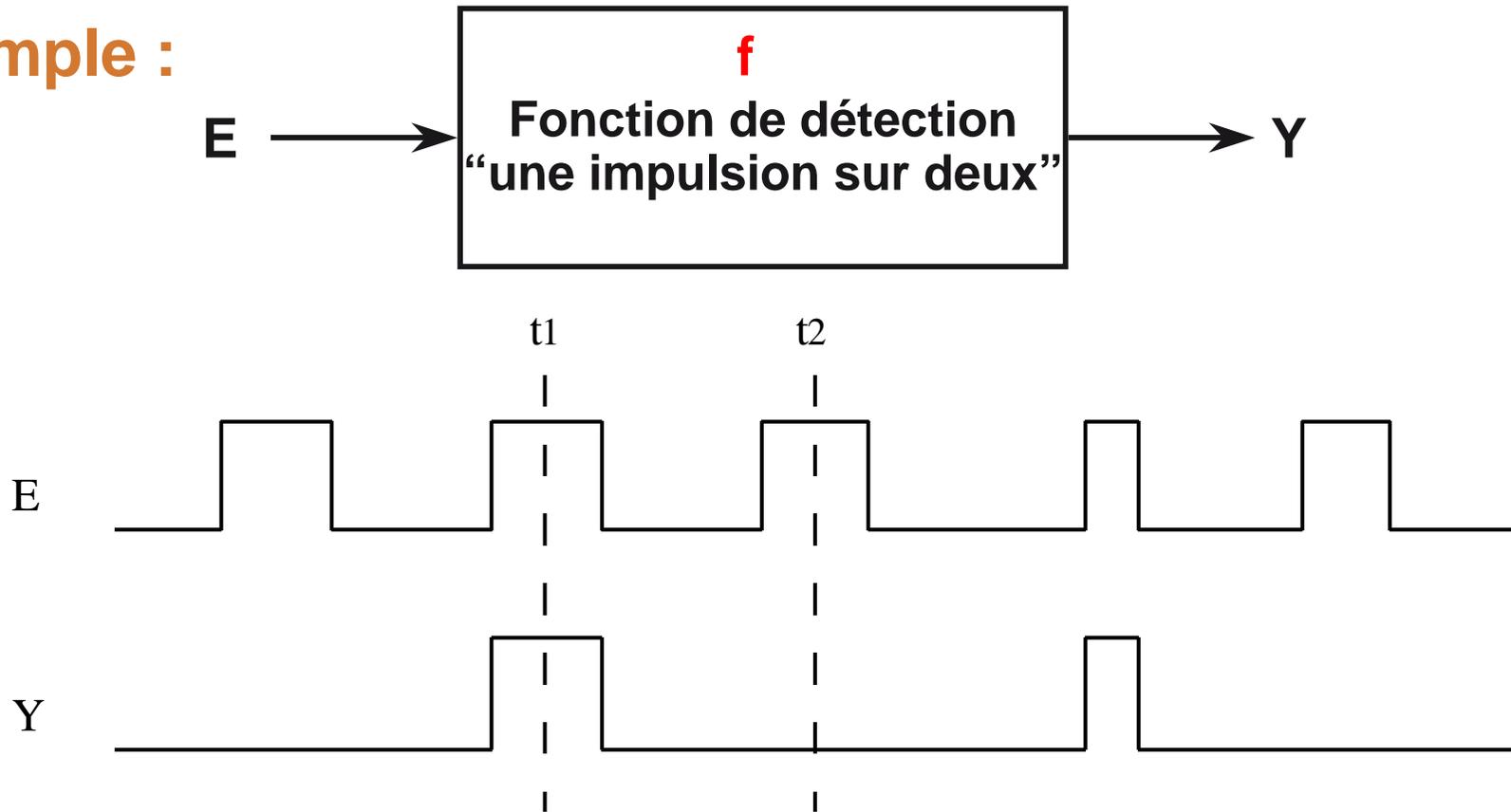
## Logique séquentielle (1)

ELP 304 : Electronique Numérique



# Qu'est-ce qu'un opérateur séquentiel ?

Exemple :



$$Y = f(E) ?$$

$$E(t_1) = E(t_2), \text{ mais } Y(t_1) \neq Y(t_2)$$

# Modèle comportemental d'un opérateur séquentiel

Automate d'états finis  
=> **graphe d'états**

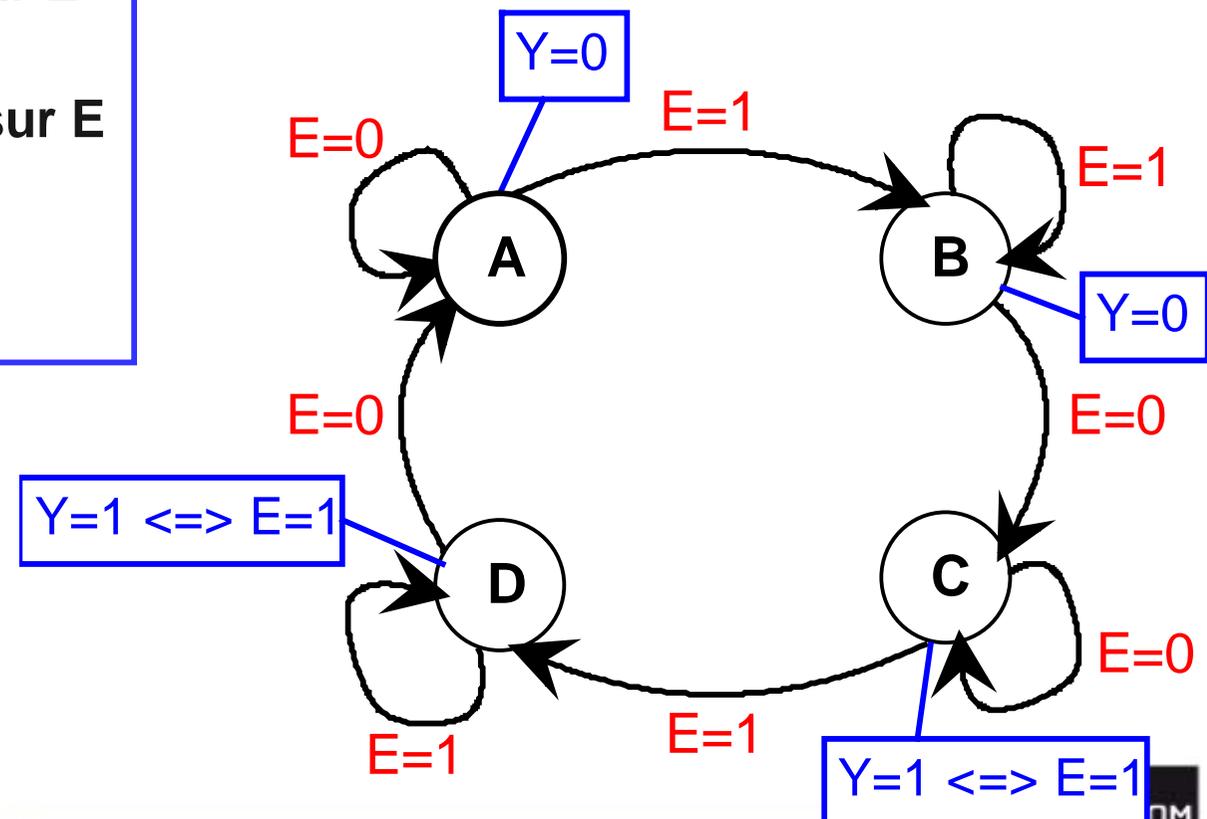


**A** : attente d'une 1ère impulsion sur E  
**B** : 1ère impulsion sur E  
**C** : attente d'une 2ème impulsion sur E  
=>  $Y = 1$  ssi  $E = 1$   
**D** : 2ème impulsion sur E  
=>  $Y = 1$  ssi  $E = 1$

=> Notion **d'état interne**

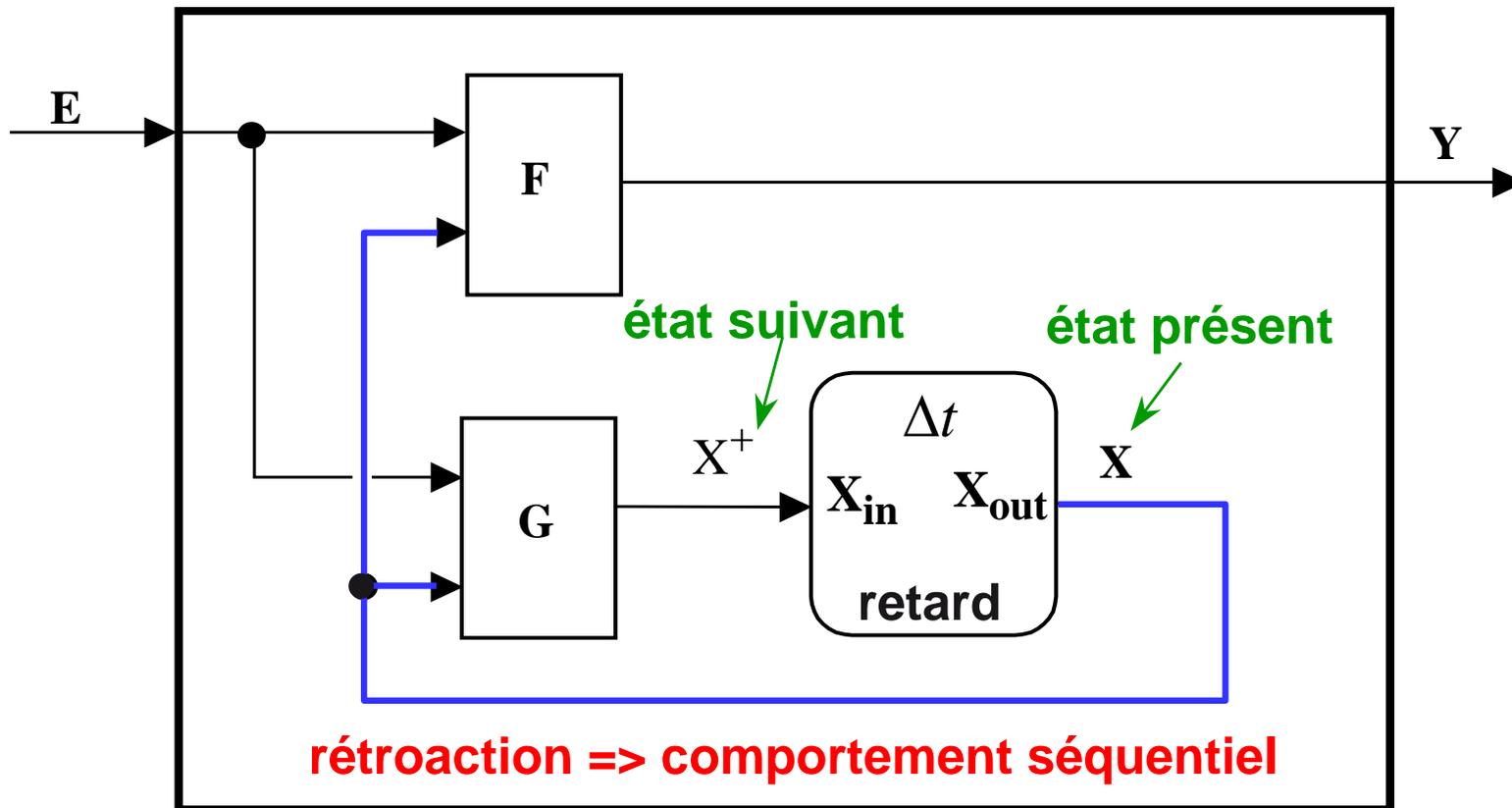
$Y = F(E, \text{état présent})$

état suivant =  $G(E, \text{état présent})$



# Modèle structurel d'un opérateur séquentiel

## Machine de Mealy



Codage des états :

$$\mathbf{X} = (X_0, X_1, \dots, X_{n-1})$$

**Variables internes**

$\Downarrow$

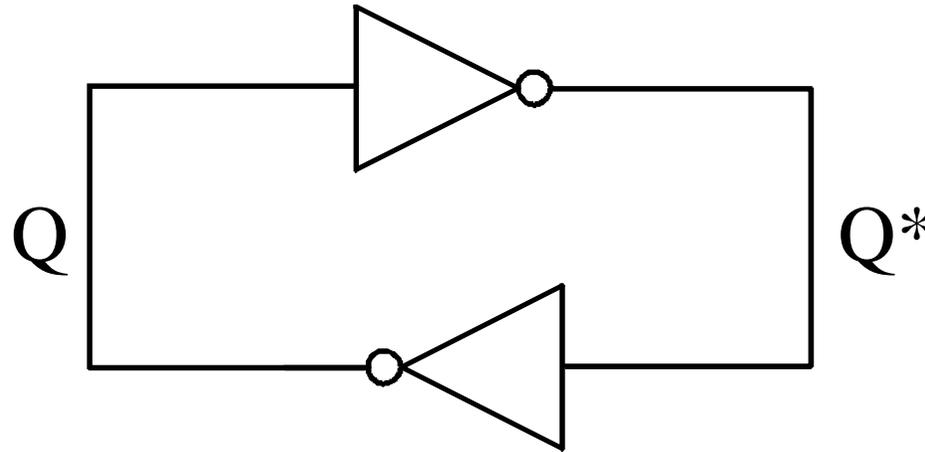
$$\mathbf{Y} = \mathbf{F}(\mathbf{E}, \mathbf{X})$$

$$\mathbf{X}^+ = \mathbf{G}(\mathbf{E}, \mathbf{X})$$

**F** : fonction **de sortie**

**G** : fonction **"état suivant"** ou fonction d'excitation secondaire

# Le point mémoire élémentaire : le bistable



$$Q^* = \overline{Q}$$

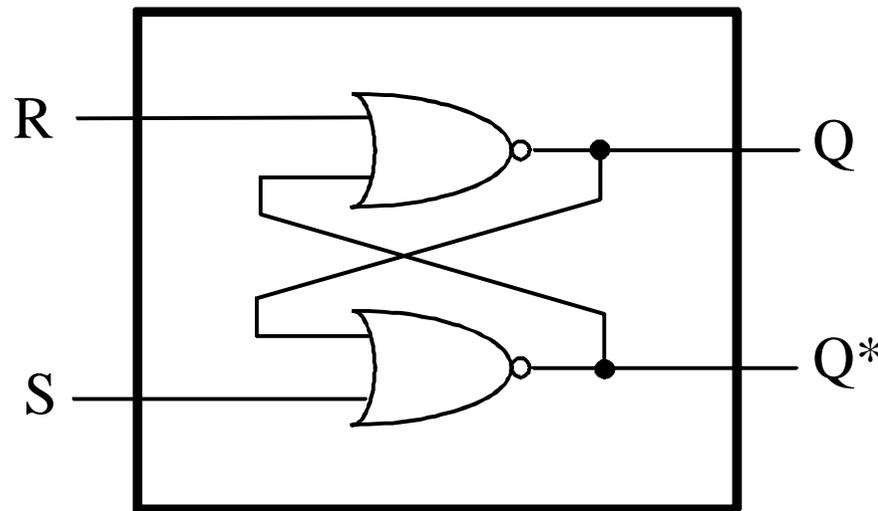
- Nombre pair d'inversions => 2 états **stables**

$$Q = 1 \text{ et } Q^* = 0$$

$$Q = 0 \text{ et } Q^* = 1$$

- Problème : écriture d'une valeur dans le bistable ?
  - => Mémoires RAM statiques (SRAM) --> Cours 8
  - => **Bascule RS**

# La bascule RS



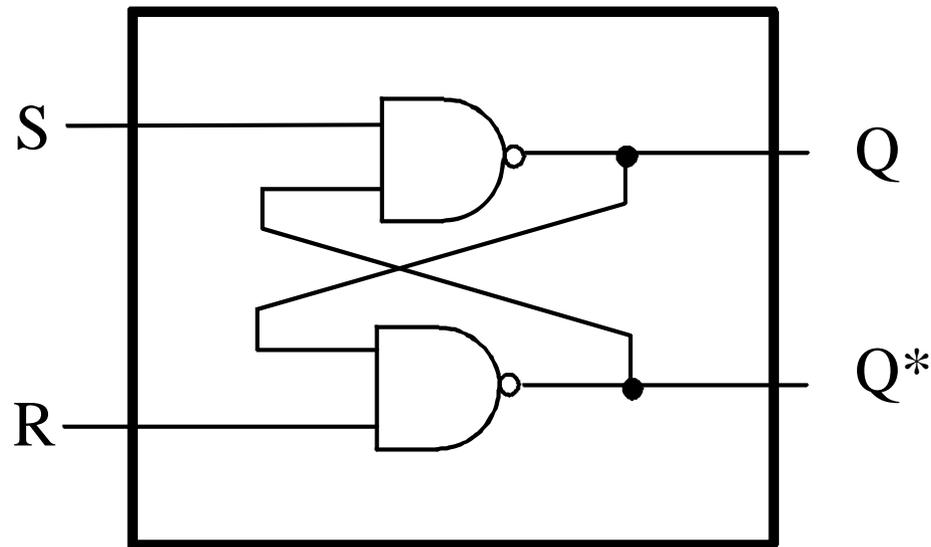
## Bascule RS-NOR

- $R = S = 0$  : mode mémoire  
Q et Q\* sont inchangés
- $R = 1$  et  $S = 0$  : écriture d'un 0 sur Q  $\Rightarrow$  Reset
- $R = 0$  et  $S = 1$  : écriture d'un 1 sur Q  $\Rightarrow$  Set
- $R = S = 1$  : mode interdit car

$$Q^* \neq \bar{Q}$$

**R et S : entrées  
actives à 1**

# Bascule RS-NAND



- Même fonctionnalité, mais R et S **actives à 0**
- Configuration **interdite** :  $R = S = 0$

# Comportement statique de la bascule RS-NOR

table de transition

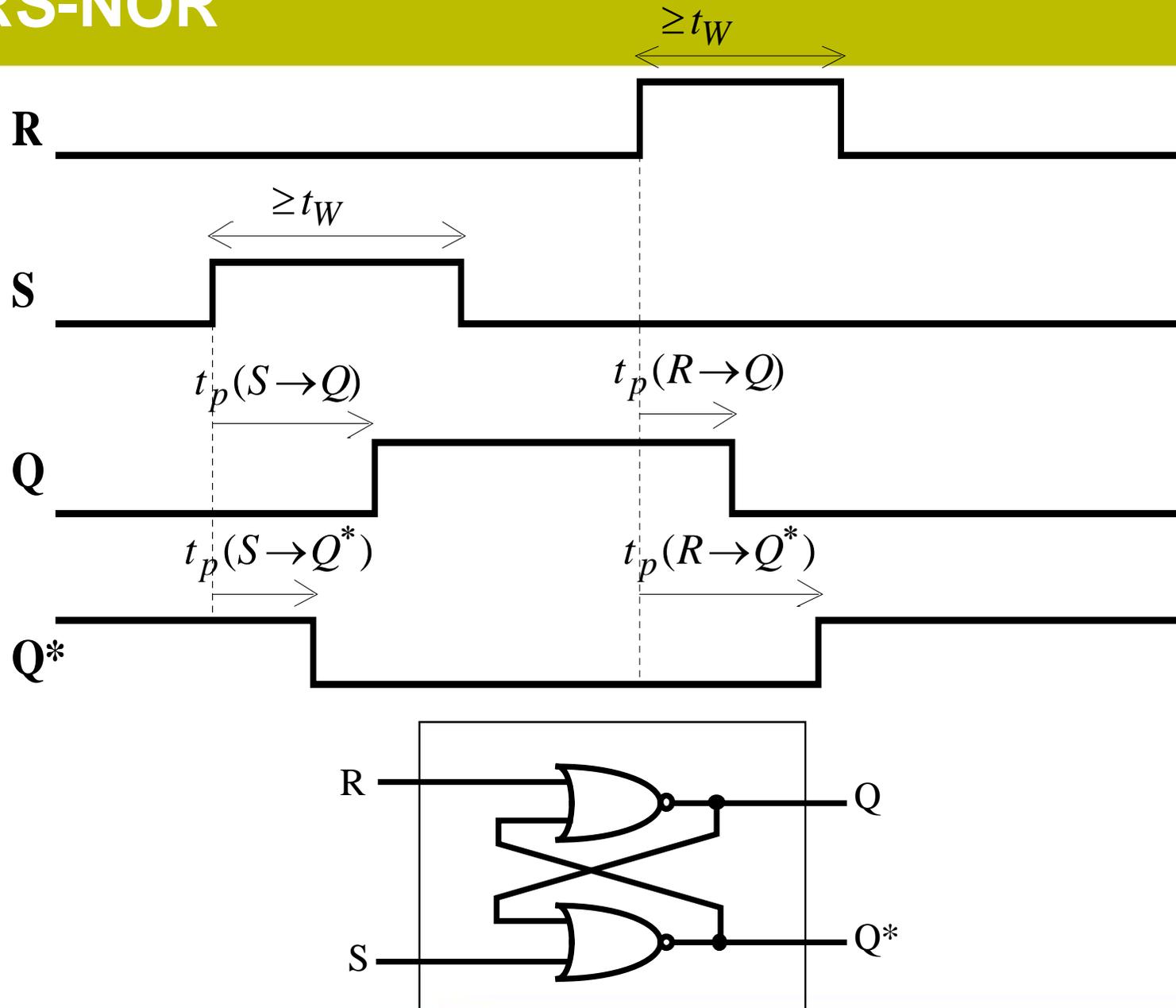
| $R$ | $S$ | $Q^+$ | $Q^{*+}$  |
|-----|-----|-------|-----------|
| 0   | 0   | $Q$   | $\bar{Q}$ |
| 0   | 1   | 1     | 0         |
| 1   | 0   | 0     | 1         |
| 1   | 1   | 0     | 0         |

combinaison  
interdite

équations séquentielles  $Q^+ = Q\bar{R}\bar{S} + \bar{R}S = (Q+S)\bar{R}$

$$Q^{*+} = \bar{Q}\bar{R}\bar{S} + R\bar{S} = (\bar{Q} + R)\bar{S}$$

# Comportement dynamique de la bascule RS-NOR



# La bascule D à verrouillage ou D latch

| $E$ | $D$ | $Q^+$ | $Q^{*+}$  |
|-----|-----|-------|-----------|
| 0   | 0   | $Q$   | $\bar{Q}$ |
| 0   | 1   | $Q$   | $\bar{Q}$ |
| 1   | 0   | 0     | 1         |
| 1   | 1   | 1     | 0         |

} mémorisation

} copie

$$Q^+ = ED + \bar{E}Q$$

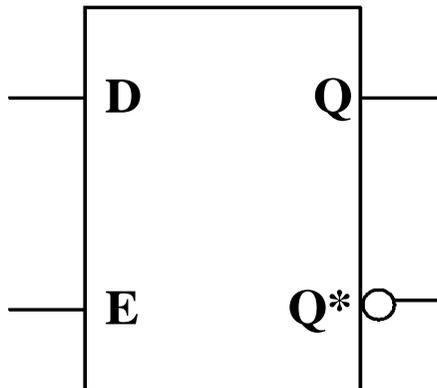
$$Q^{*+} = \overline{Q^+}$$

- Bascule D : bascule de recopie
  - $E = 0$  : mode **mémorisation**
  - $E = 1$  : mode **acquisition** ou mode **transparent**

- Bascule D latch : **synchronisation sur niveau**  
 $\neq$

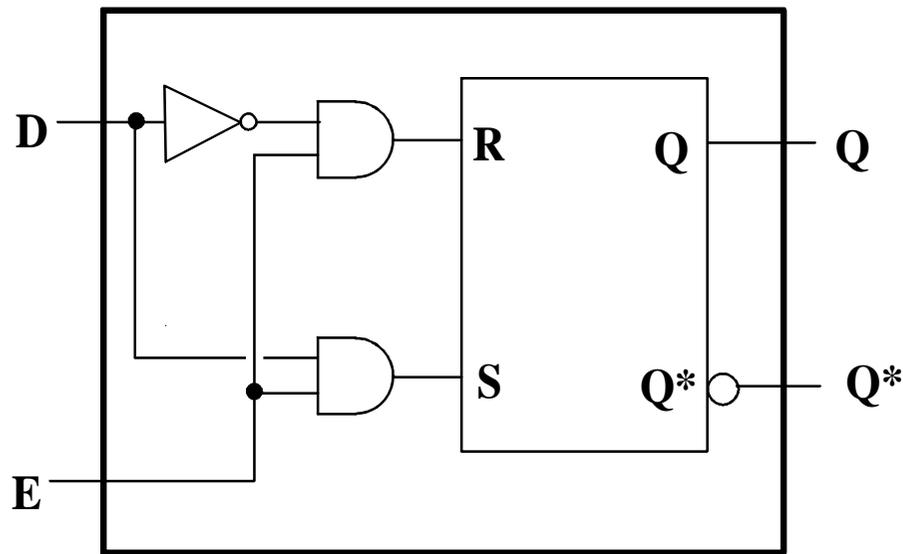
Bascule RS : **asynchrone**

- Différenciation des entrées
  - D (Data) : entrée de **donnée**
  - E (Enable) : entrée de **contrôle** ou de **commande**



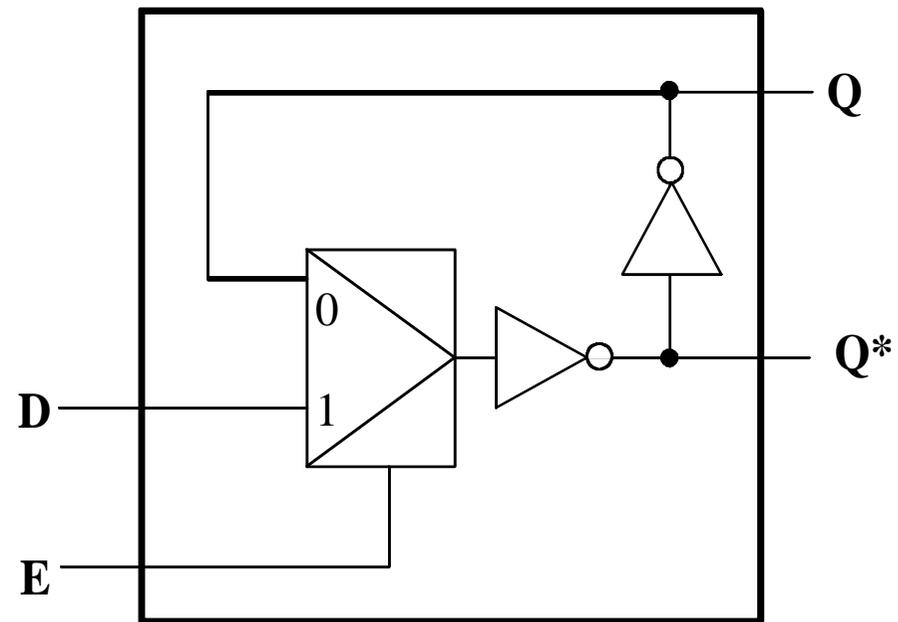
# Réalisation d'une D latch (I)

- Deux possibilités pour réaliser une D latch
  - A partir d'une **bascule RS**
  - A partir d'une structure de **multiplexeur**  
=> en CMOS avec interrupteurs, structure moins encombrante



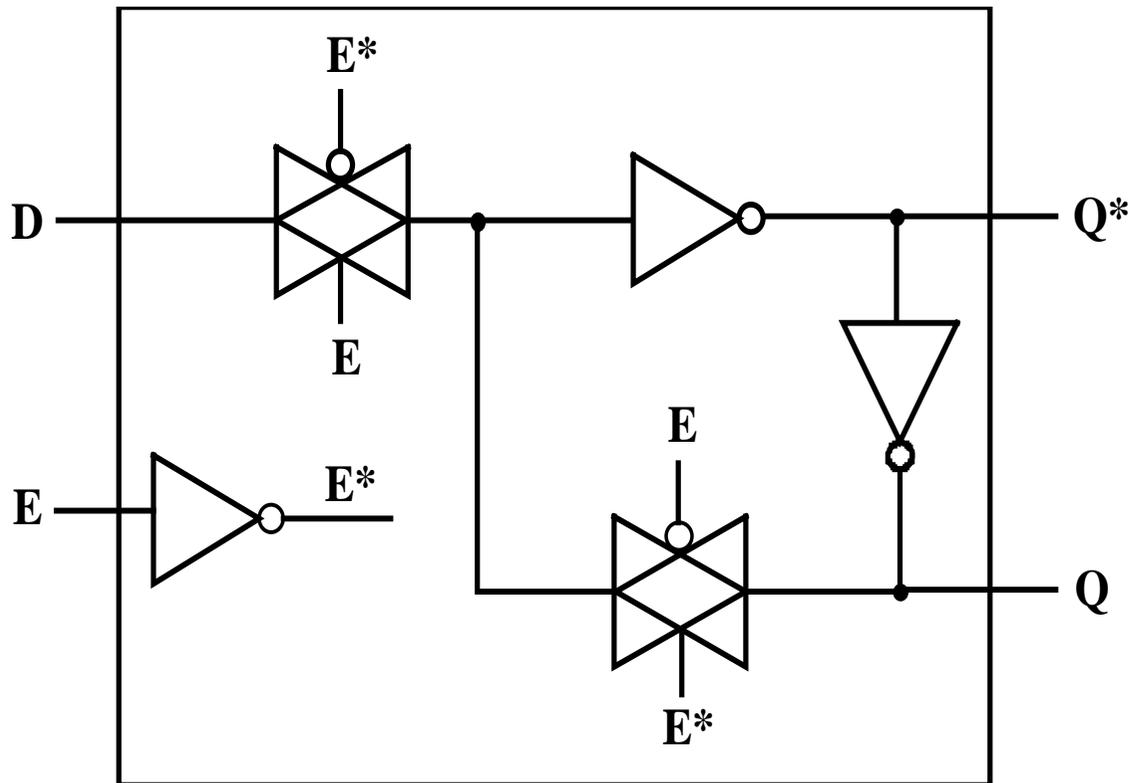
$$Q^+ = (Q + S)\bar{R}$$

$$R = E\bar{D} \text{ et } S = ED$$

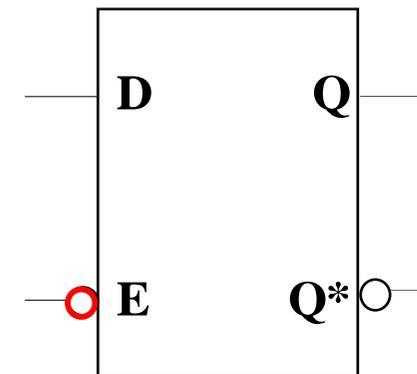


$$Q^+ = ED + \bar{E}Q$$

# Réalisation d'une D latch (II)

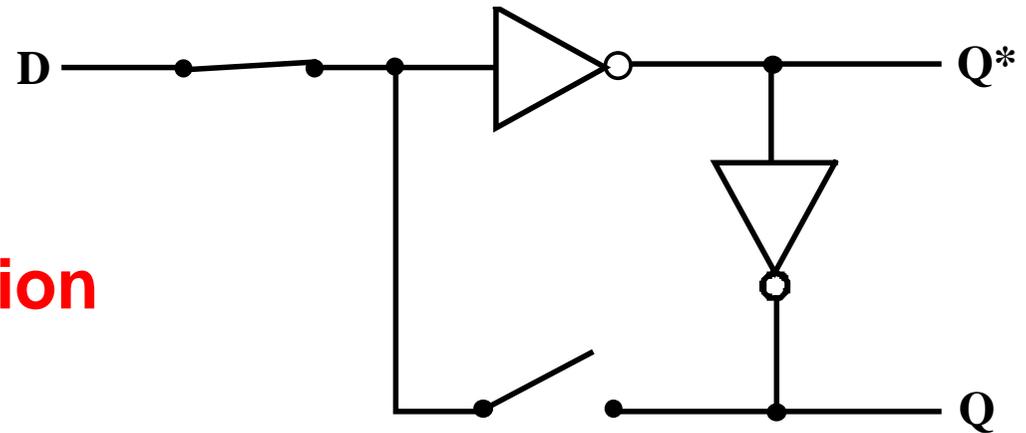


Inversion de  $E$  et  $E^*$  pour la commande des interrupteurs  $\Rightarrow$

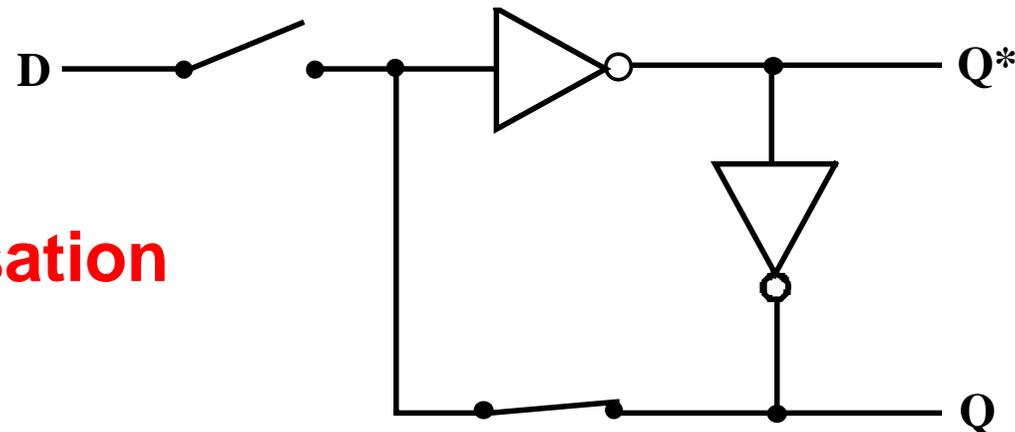


# Réalisation d'une D latch (III)

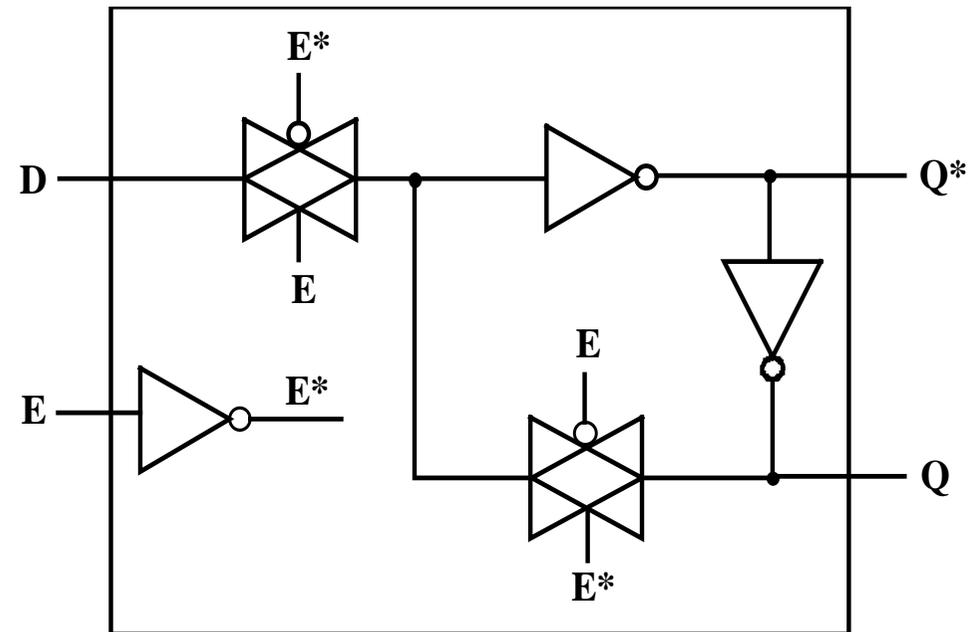
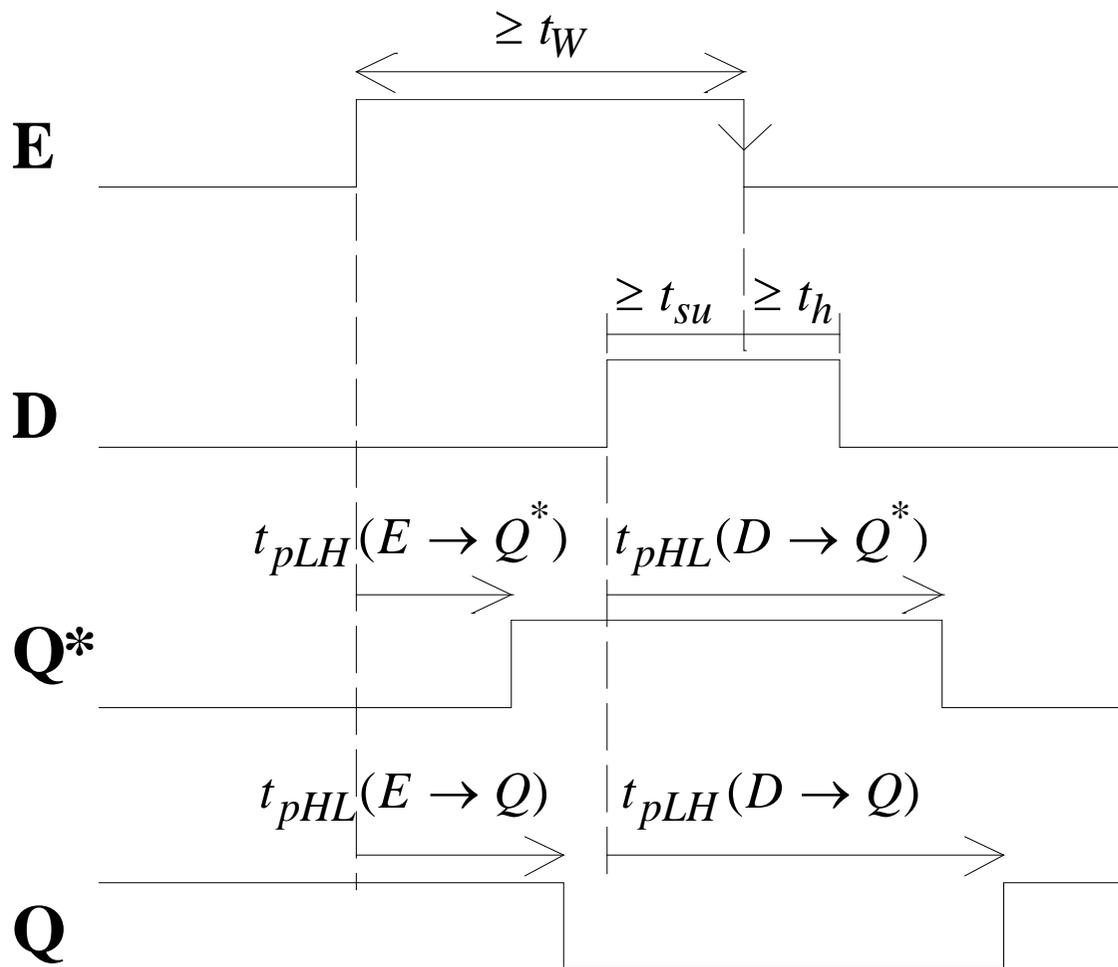
$E = 1$  : mode **acquisition**



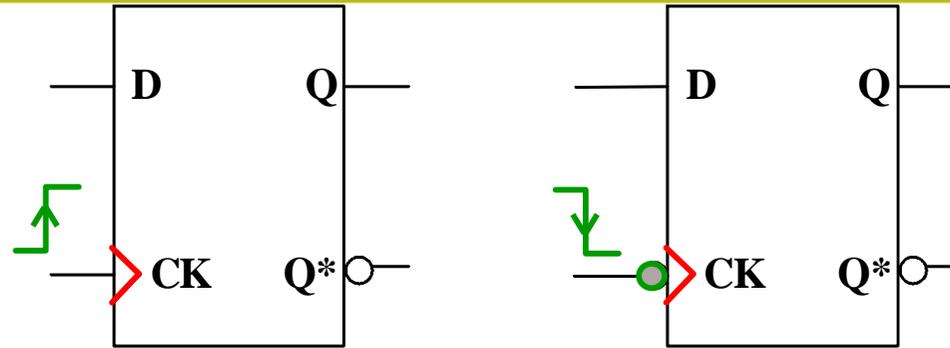
$E = 0$  : mode **mémorisation**



# Analyse temporelle de la D latch



# Bascule D à déclenchement sur front ou D flip-flop



L'entrée  $D$  est copiée sur  $Q$  sur les **fronts actifs** de l'**horloge CK**  
 => **synchronisation sur fronts**

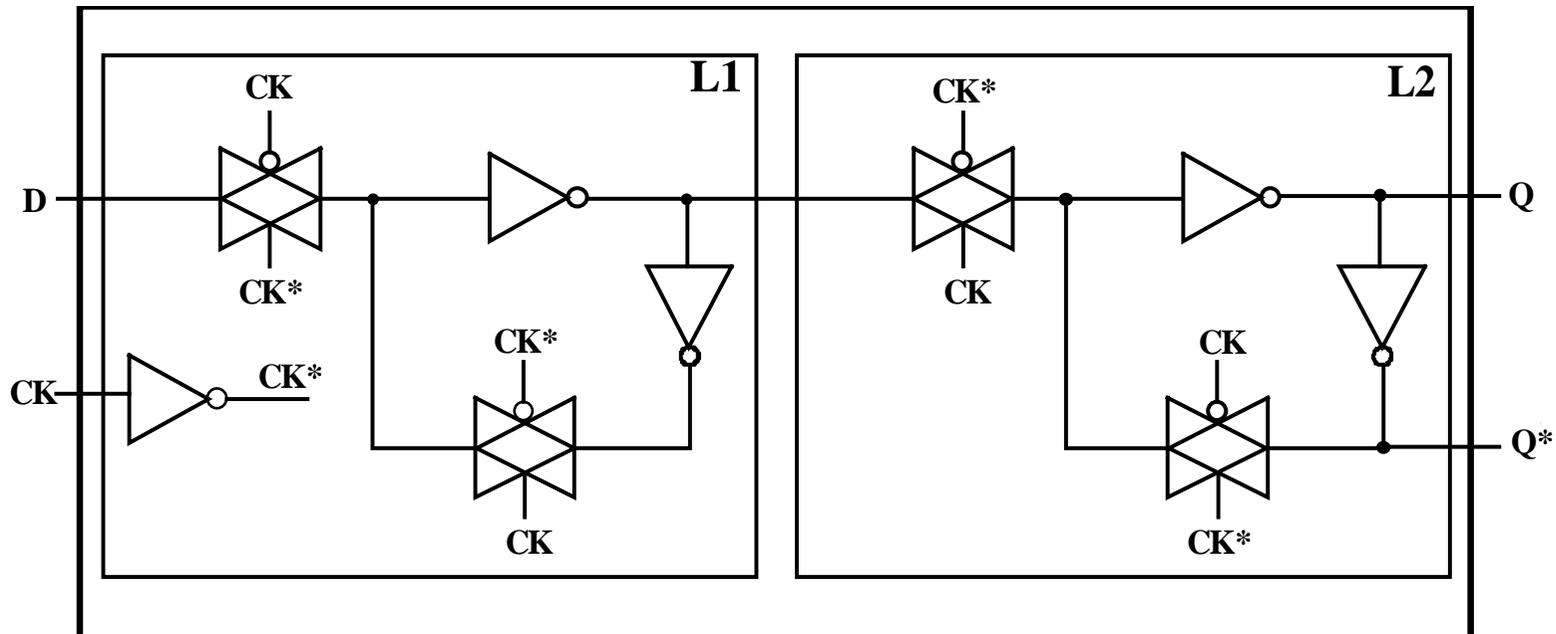
définition d'instant précis  
 d'activité de la bascule  
 => le temps est **discrétisé**

| $CK$                          | $D$ | $Q^+$ | $Q^{*+}$  |
|-------------------------------|-----|-------|-----------|
| 0                             | X   | $Q$   | $\bar{Q}$ |
| 1                             | X   | $Q$   | $\bar{Q}$ |
| $\uparrow$ (ou $\downarrow$ ) | 0   | 0     | 1         |
| $\uparrow$ (ou $\downarrow$ ) | 1   | 1     | 0         |

Comportement **purement synchrone** :  $Q^+ = D$  (horloge implicite)

# Réalisation d'une D flip-flop

## ■ D flip-flop à déclenchement sur front montant



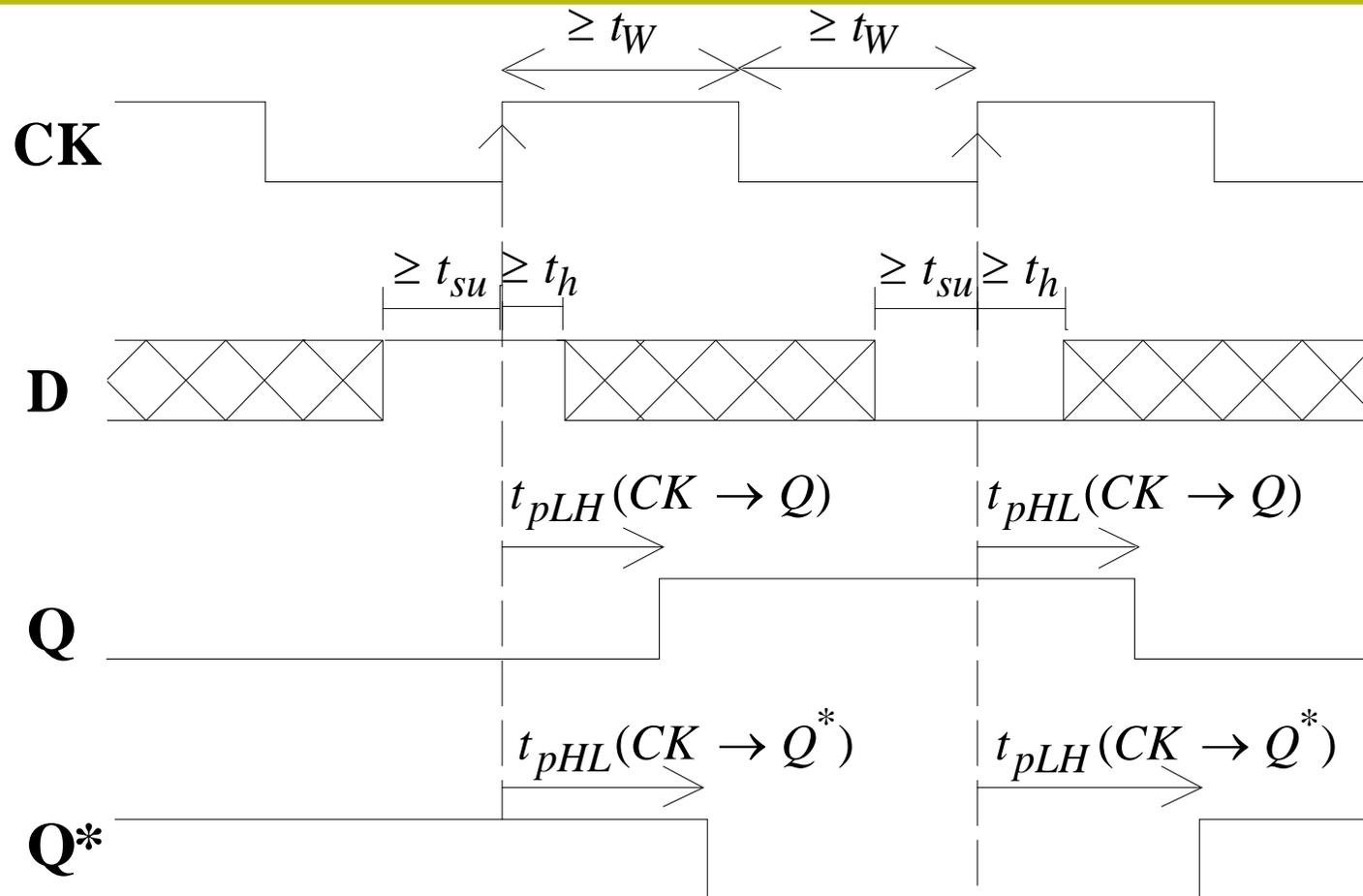
## ■ Structure maître/esclave : 2 latches à commandes opposées

- $CK = 0$  L1 en acquisition, L2 en mémorisation
- $CK = 1$  L1 en mémorisation, L2 en acquisition

latch maître L1 : acquisition de  $D$

latch esclave L2 : affichage sur  $Q$  et  $Q^*$  de la valeur acquise par L1

# Caractéristiques temporelles de la D flip-flop



Les **temps de propagation** sont tous référencés par rapport aux **fronts actifs de l'horloge**

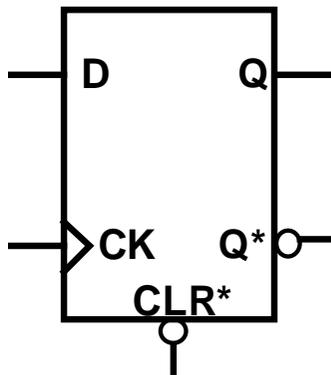
# Cohabitation de fonctions synchrones et asynchrones (I)

- Problème : comment **initialiser** l'état d'une bascule, à la mise sous tension du circuit notamment ?

=> addition d'entrées à **action prioritaire asynchrone**

- Mise à 0 de  $Q$  : **Clear** ou **Reset**
- Mise à 1 de  $Q$  : **Preset** ou **Set**

=> en général actives à 0



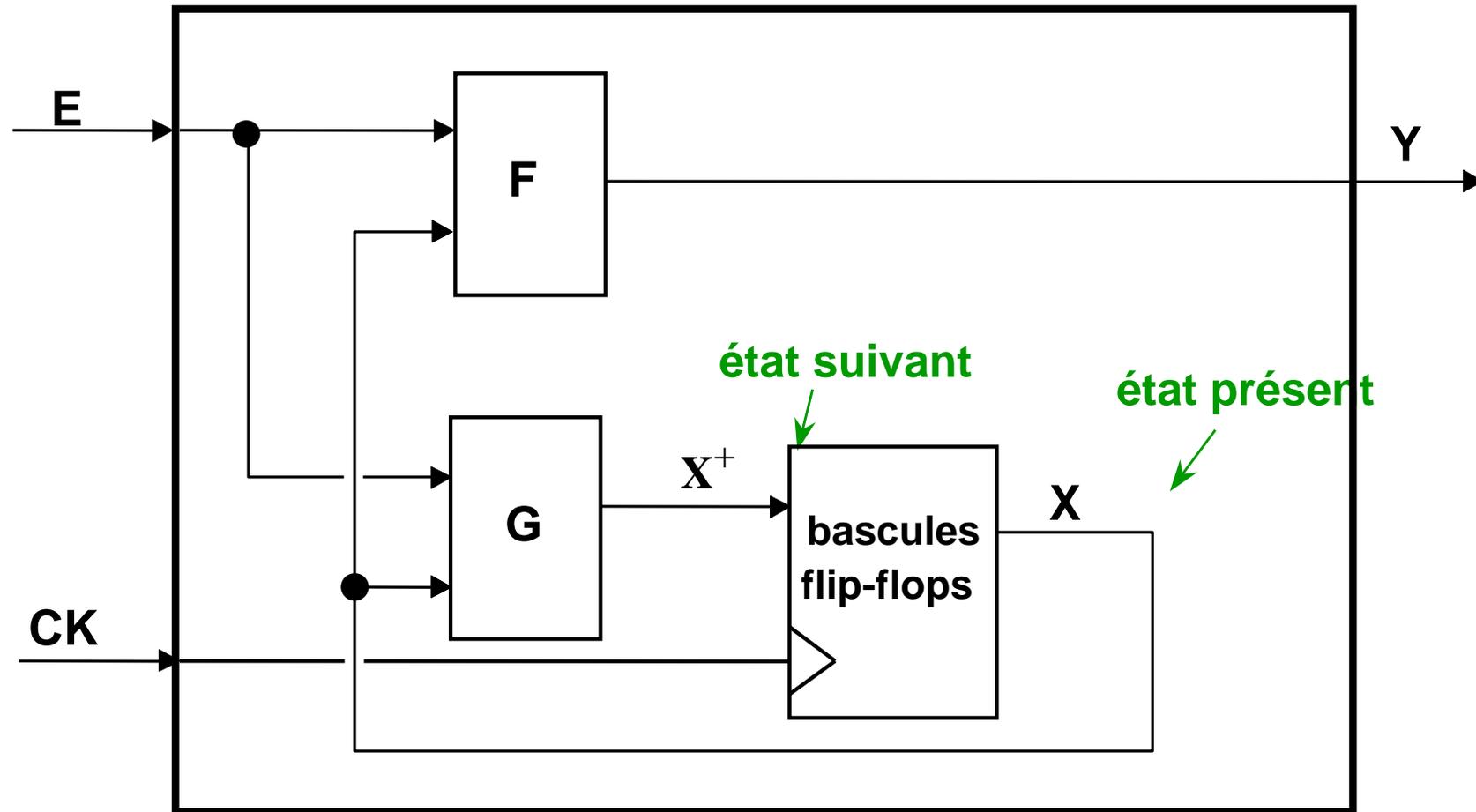
| $CLR^*$ | $CK$       | $D$ | $Q^+$ | $Q^{*+}$       |
|---------|------------|-----|-------|----------------|
| 0       | X          | X   | 0     | 1              |
| 1       | 0          | X   | $Q$   | $\overline{Q}$ |
| 1       | 1          | X   | $Q$   | $\overline{Q}$ |
| 1       | $\uparrow$ | 0   | 0     | 1              |
| 1       | $\uparrow$ | 1   | 1     | 0              |

Mise à 0  
asynchrone

# Cohabitation de fonctions synchrones et asynchrones (II)

- Caractéristiques temporelles liées à l'introduction de fonctions asynchrones
  - **temps de propagation** ( $CLR^* \rightarrow Q$  et  $Q^*$ ,  $PR^* \rightarrow Q$  et  $Q^*$ )
  - **contraintes sur l'application des entrées** ( $t_W, \dots$ )
  - **contraintes moins critiques car ces entrées ne sont pas utilisées lors du fonctionnement normal du circuit**
- Entrées statiques / entrées dynamiques d'un système synchrone
  - **entrée statique : son action sur le système est conditionnée par un signal de validation ou d'horloge**  $\Rightarrow D$
  - **entrée dynamique : son action suffit à provoquer un changement d'état du système**  $\Rightarrow E, CK, CL^*, PR^*$

# Modèle structurel d'un système séquentiel synchrone (sur fronts)



**Machine de Mealy synchrone**