

Cours 8

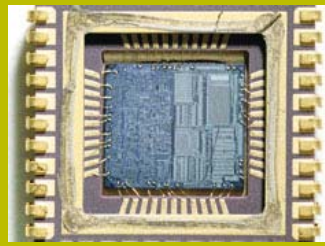
Logique séquentielle: les mémoires à semi-conducteurs

ELP 304 : Electronique Numérique



Logique séquentielle

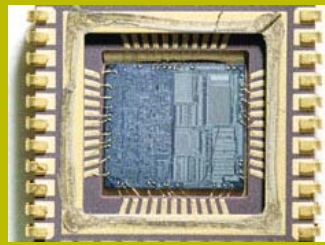
Organisation du cours



- Les bascules **C5**
- Les registres
- Les compteurs
- Performances des circuits séquentiels synchrones et règles d'assemblage séquentiel
- Les mémoires à semi-conducteur **C8**
- Les automates d'états finis **C9**

} **C6-C7**

Classification par mode opératoire



■ Mémoires à *écriture et lecture* : mémoires *vives*

Mémoires volatiles

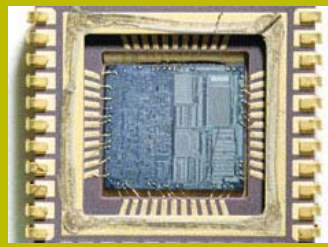
- Mémoires *statiques*
- Mémoires *dynamiques*

■ Mémoires à *lecture seule* : mémoires *mortes* ou *ROM* (Read-Only Memories)

Mémoires permanentes

- Procédé d'inscription inaccessible à l'utilisateur : ROM
- Procédé d'inscription accessible à l'utilisateur :
 - ◆ *PROM* (Programmable ROM) : inscription irréversible
 - ◆ *REPROM* (REprogrammable ROM) : inscription réversible

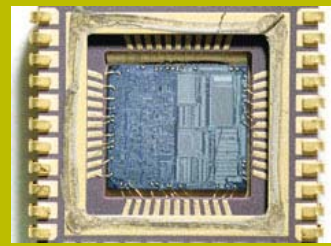
Classification par type d'accès



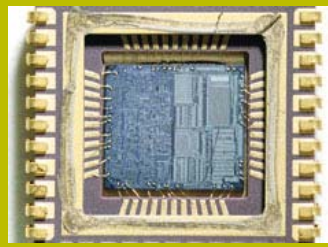
- Mémoires à **accès aléatoire** ou **direct**
 - Les cellules mémoires sont accessibles directement par une **adresse**

- Mémoires à **accès séquentiel**
 - Les cellules sont chaînées (id. registre à décalage), et ne sont accessibles qu'aux extrémités de la chaîne

Classification des mémoires à semi-conducteur : bilan



		mode opératoire	
		lecture / écriture : mémoires <u>vives</u>	lecture seule : mémoires mortes
type d'accès	aléatoire ou direct	RAM	ROM et XROM
	séquentiel	FIFO et LIFO	ROM série



■ Capacité

- Nombre de bits ou de mots binaires mémorisés

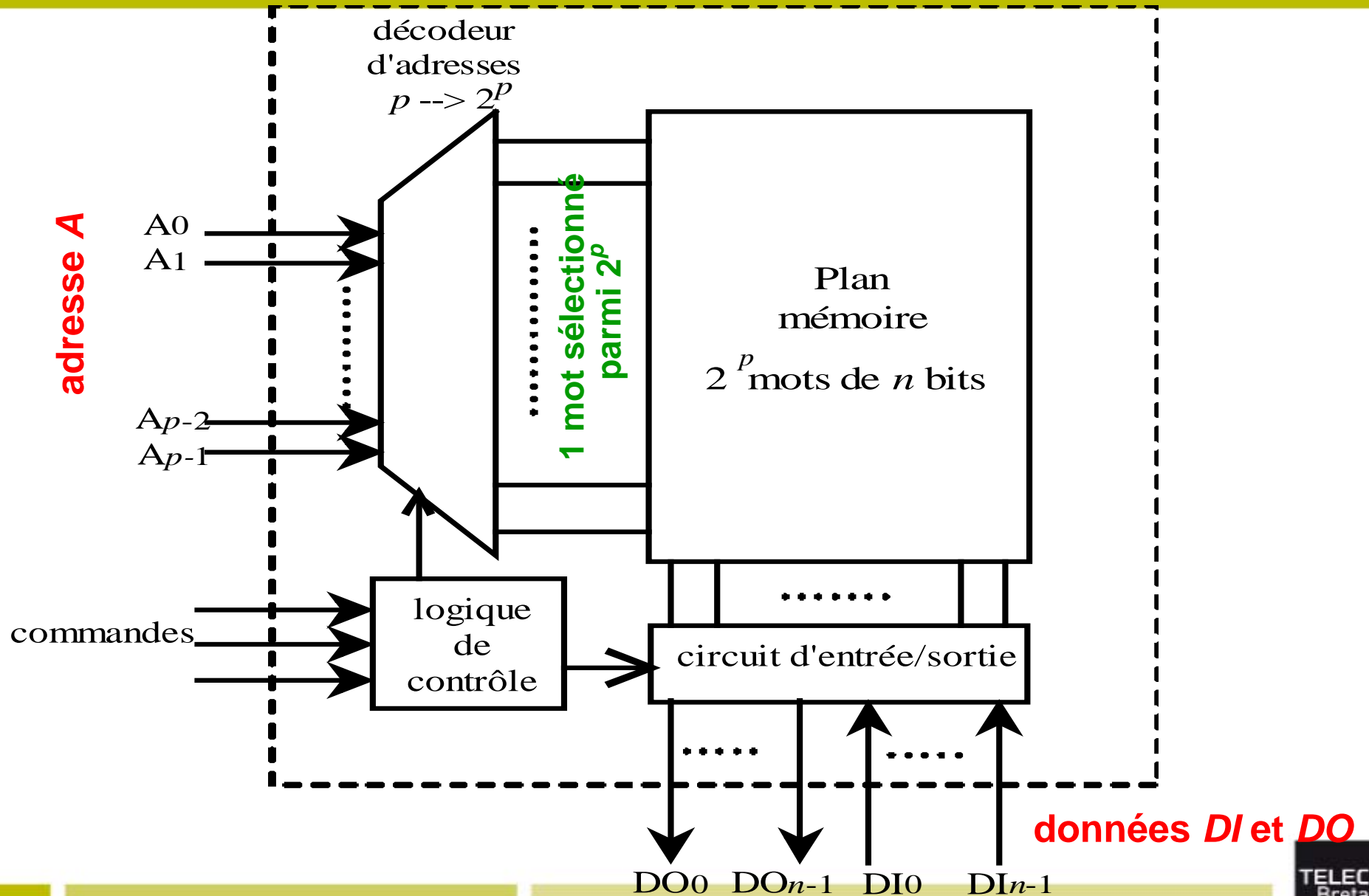
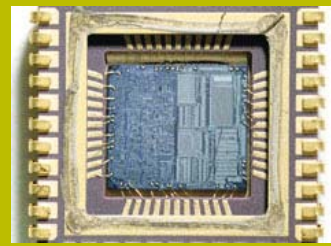
■ Temps d'accès / temps de cycle

- *Temps d'accès* : temps écoulé entre une demande de lecture et la présence de l'information sur la sortie de la mémoire
 - dépend du type d'accès
- *Temps de cycle* : durée minimale à respecter entre deux accès à la mémoire

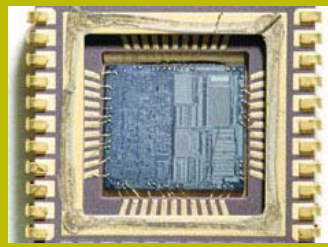
■ Consommation

Les mémoires à accès aléatoire

Structure



Les mémoires vives à accès aléatoire : RAM



RAM = Random Access Memory
(mémoires **vives** seulement)

■ Deux offres technologiques

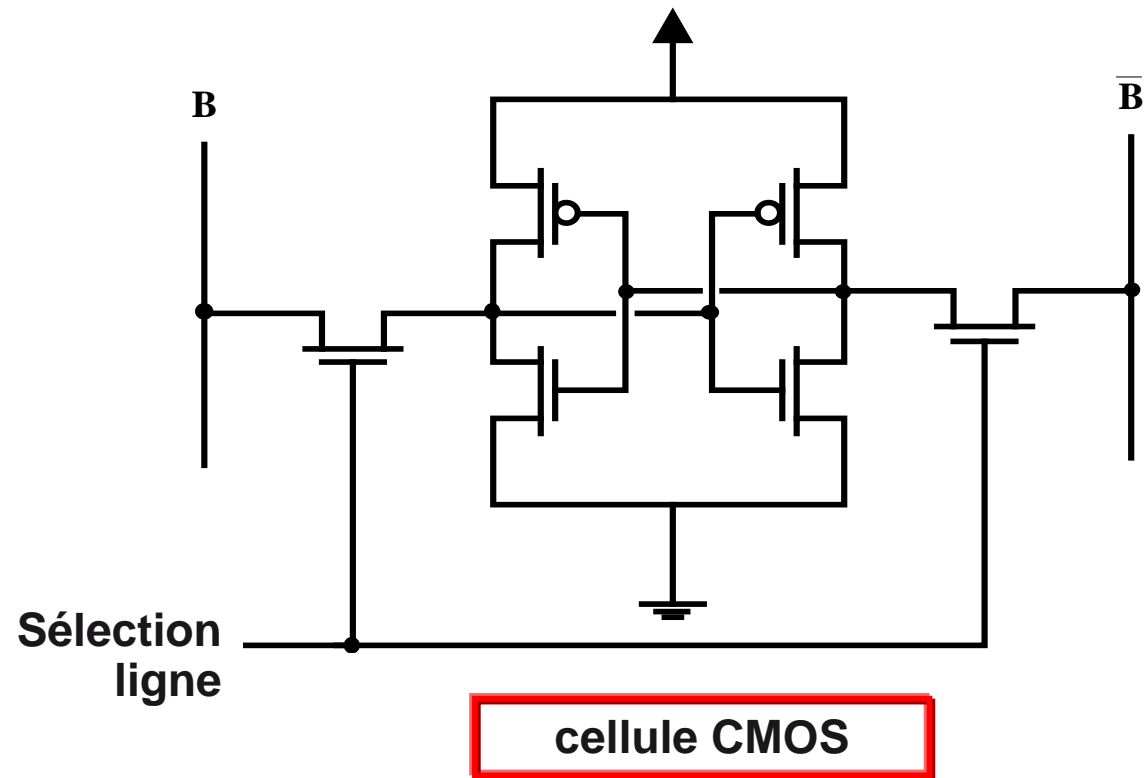
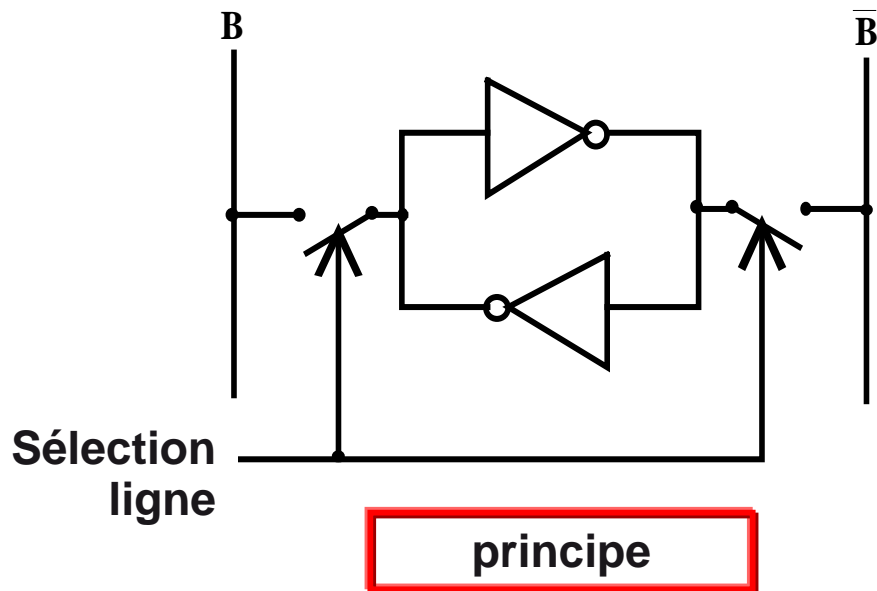
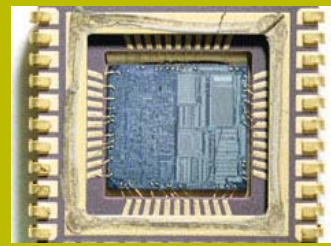
- Les RAM **statiques** (SRAM)

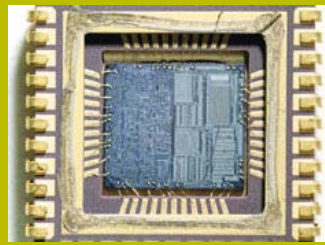
élément de mémorisation = **bistable**

- Les RAM **dynamiques** (DRAM)

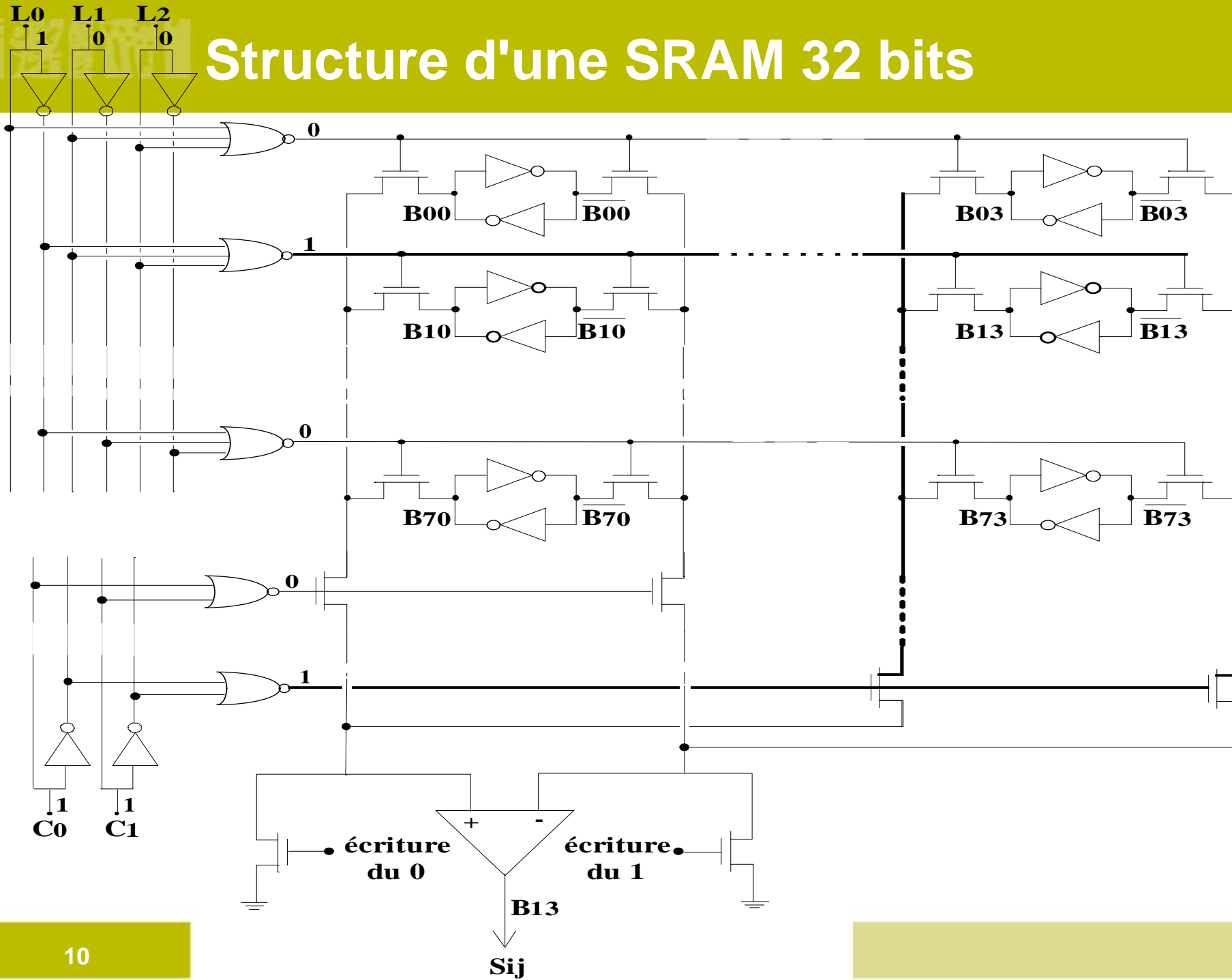
élément de mémorisation = **condensateur**

SRAM : cellule mémoire

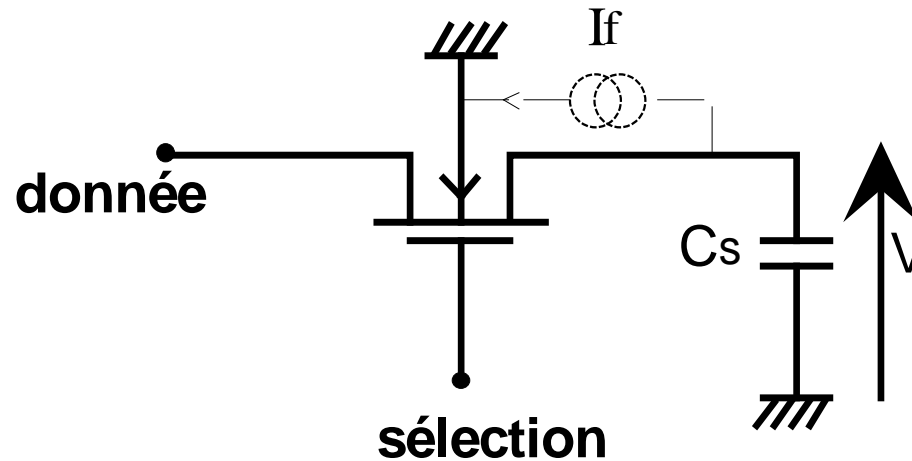
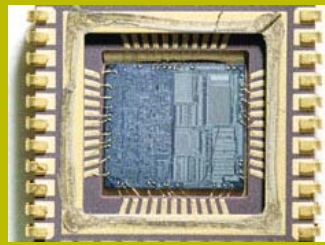




Structure d'une SRAM 32 bits



DRAM : cellule mémoire



courant de fuite I_f : courant inverse de jonction

$$C_s \approx 0,01 \text{ pF}$$

$$I_f \approx 10^{-10} \text{ A}$$

$$\Rightarrow dV / dt = -I_f / C_s \approx 0,1 \text{ V / ms}$$

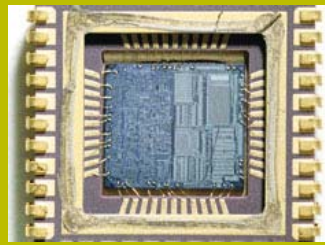
=> rafraîchissement du contenu tous les 10 ms environ

+ lecture délicate --> amplificateurs de lecture

+ lecture destructive --> dispositif de réécriture

=> organes de contrôle complexes

Comparaison DRAM / SRAM



- **densité (DRAM) > densité (SRAM)**

=> **capacité (DRAM) > capacité (SRAM)**

SRAM : qqes MBits à qqes dizaines de MBits

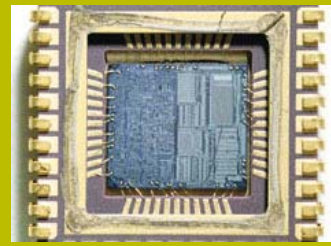
DRAM : jusqu'à qqes Gbits (*Double Data Rate Synchronous* DRAM)

=> **coût/bit (DRAM) < coût/bit (SRAM)**

- **contraintes d'utilisation (DRAM) > contraintes d'utilisation (SRAM)** (rafraîchissement, ...)

- **consommation**

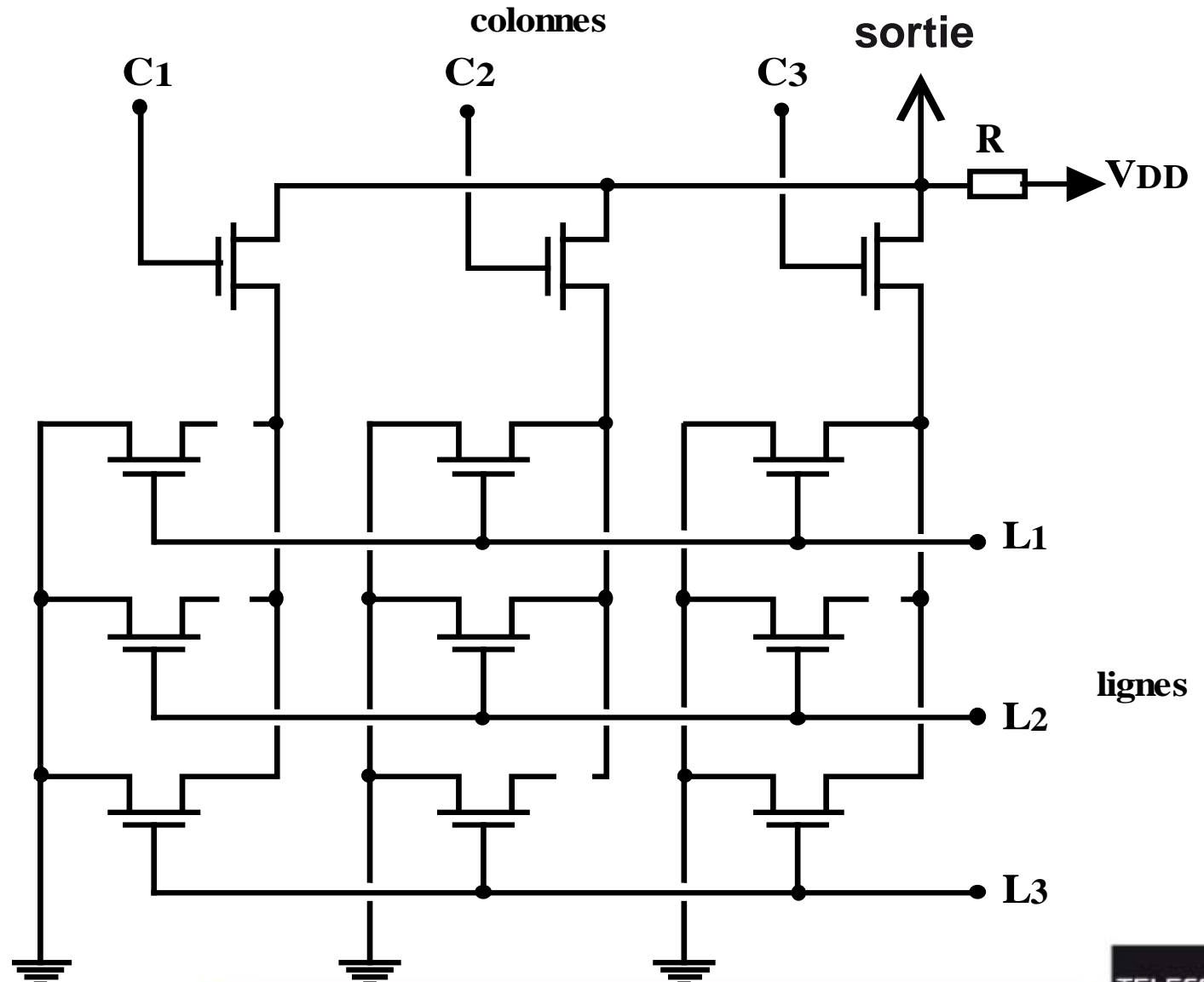
Les mémoires mortes à accès aléatoire : ROM



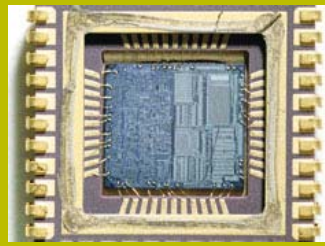
• ROM et PROM

$$\begin{bmatrix} 1 & 0 & 0 \\ 1 & 0 & 1 \\ 0 & 1 & 0 \end{bmatrix}$$

ROM NMOS



ROM et PROM : inscription du contenu de la mémoire

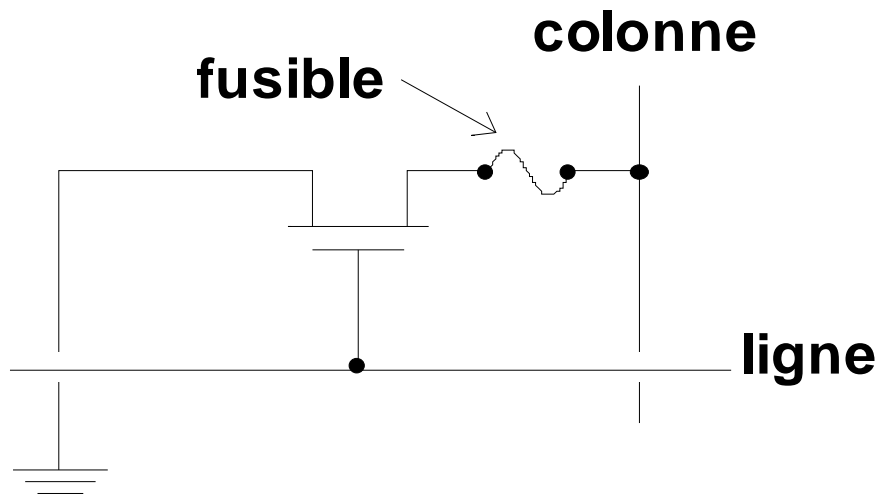


■ ROM

- Couche supplémentaire d'oxyde sur les transistors à déconnecter => blocage permanent
- Procédé lourd et coûteux => réservé aux grandes séries

■ PROM

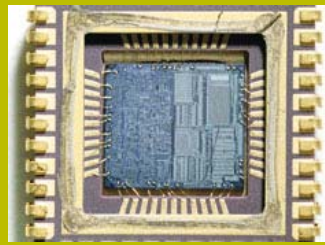
- Fusible sur le drain de chaque transistor



fusible intact : écriture d'un 0
fusible détruit: écriture d'un 1

Mémoires mortes reprogrammables

REPROM (I)



■ EPROM (Erasable PROM)

L'ensemble transistor MOS + fusible est remplacé par un **transistor FAMOS** (Floating gate Avalanche injection MOS)

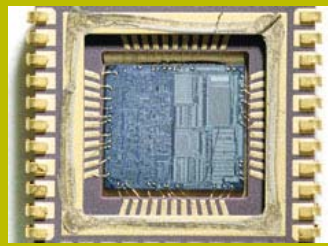
- application d'une impulsion de tension : **passant**
- exposition à un rayonnement UV (5 à 30 mn) : **bloqué**

=> **mémoires programmables électriquement et effaçables aux UV**

=> Inconvénients :

- déprogrammation *in situ* impossible
- déprogrammation de la totalité de la mémoire

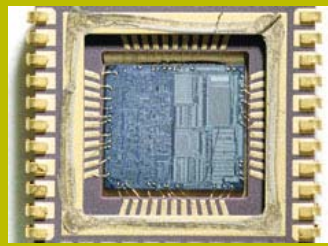
Mémoires mortes reprogrammables REPROM (II)



■ **EEPROM** (Electrically Erasable PROM)

- Programmation et effacement électriques (fusible remplacé par un transistor de technologie spécifique dite MNOS : Metal Nitride Oxide Semiconductor)
- **Avantages**
 - Programmation et effacement *in situ*
 - Effacement sélectif
- **Inconvénient**
 - Plus encombrant que EPROM (2 composants/cellule)

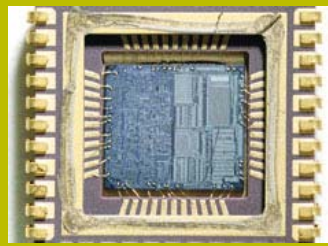
■ Depuis ~10 ans, les EPROM et EEPROM sont de plus en plus remplacées par les **mémoires flash**



■ Mémoires flash

- Programmation et effacement électriques (transistors MOS à double grille : grille flottante + grille de contrôle)
- Souplesse de programmation des EEPROM
- Densité d'intégration des EPROM
 - qqes dizaines de Mbits à 16 Gbits

Mémoires à accès séquentiel

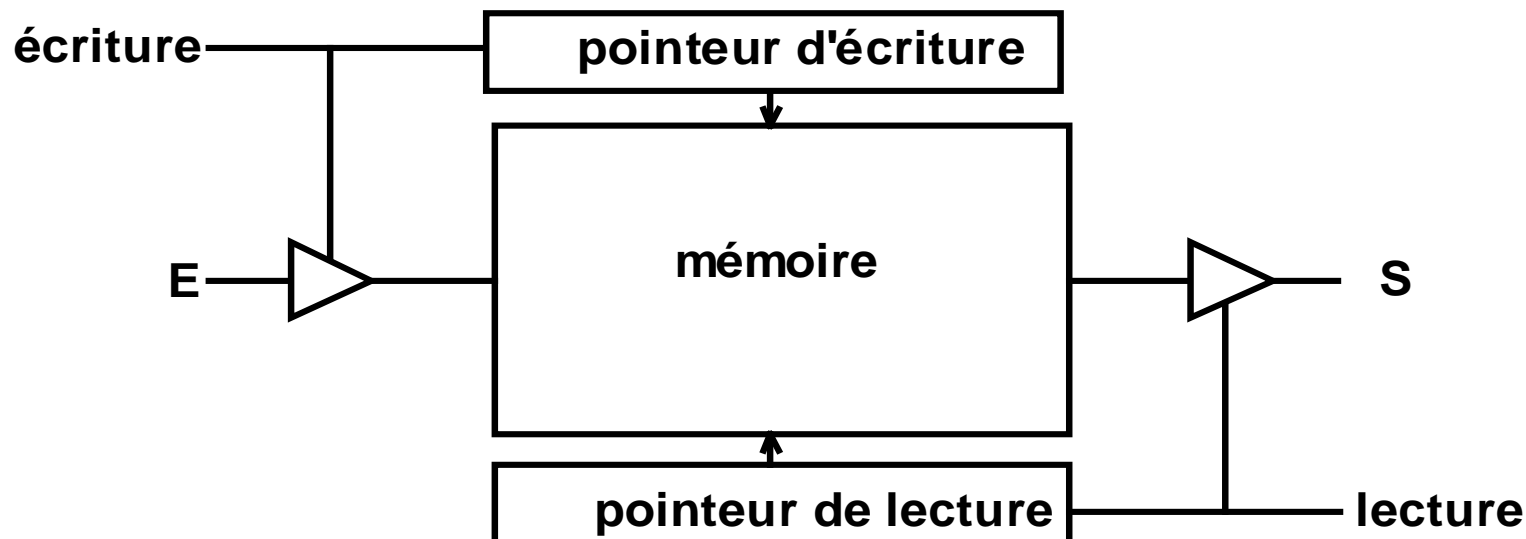


■ Mémoires mortes

- PROM à sortie série pour téléchargement de programmes

■ Mémoires vives

- **Files d'attente (FIFO)** : 2 pointeurs de lecture et d'écriture gérés par des compteurs et un plan mémoire RAM (SRAM ou DRAM)



- **Piles (LIFO)** : un seul pointeur géré par un compteur / décompteur