



# ELP 304

## Cours 3 et 4

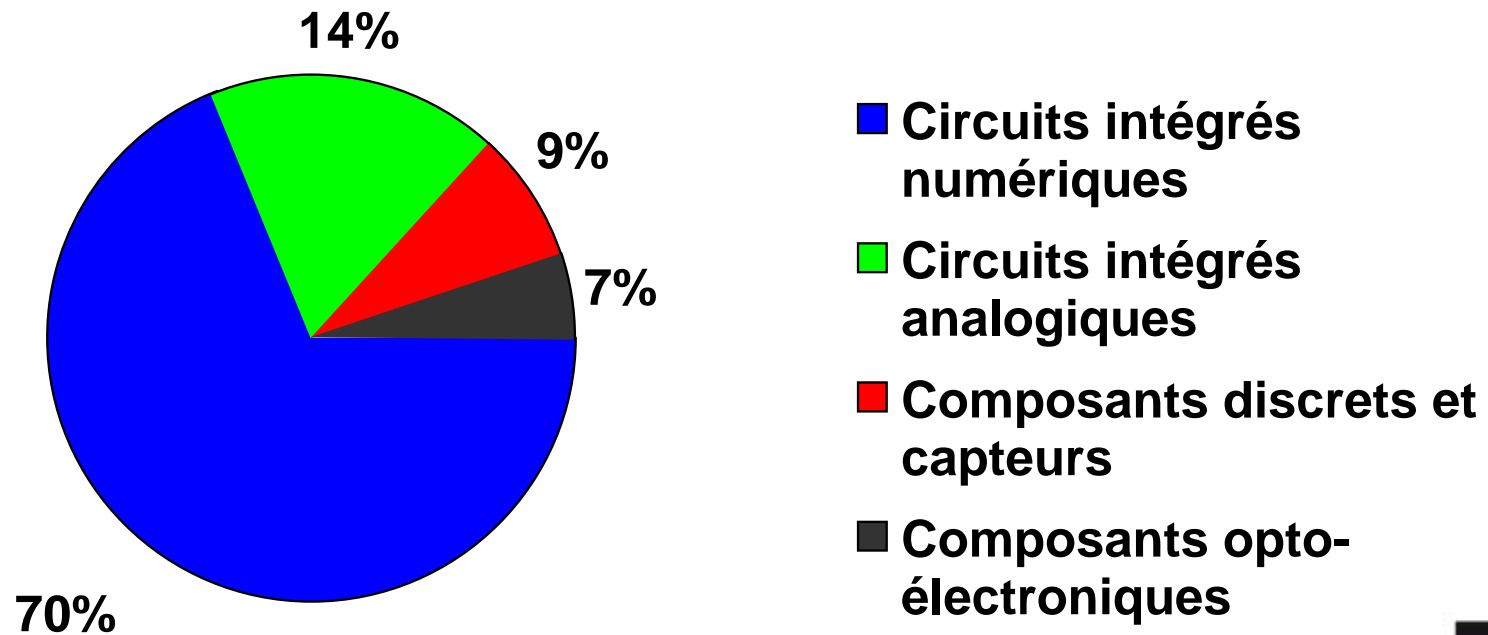
Electronique des circuits numériques  
Septembre 2008



Catherine Douillard, *Département Électronique*

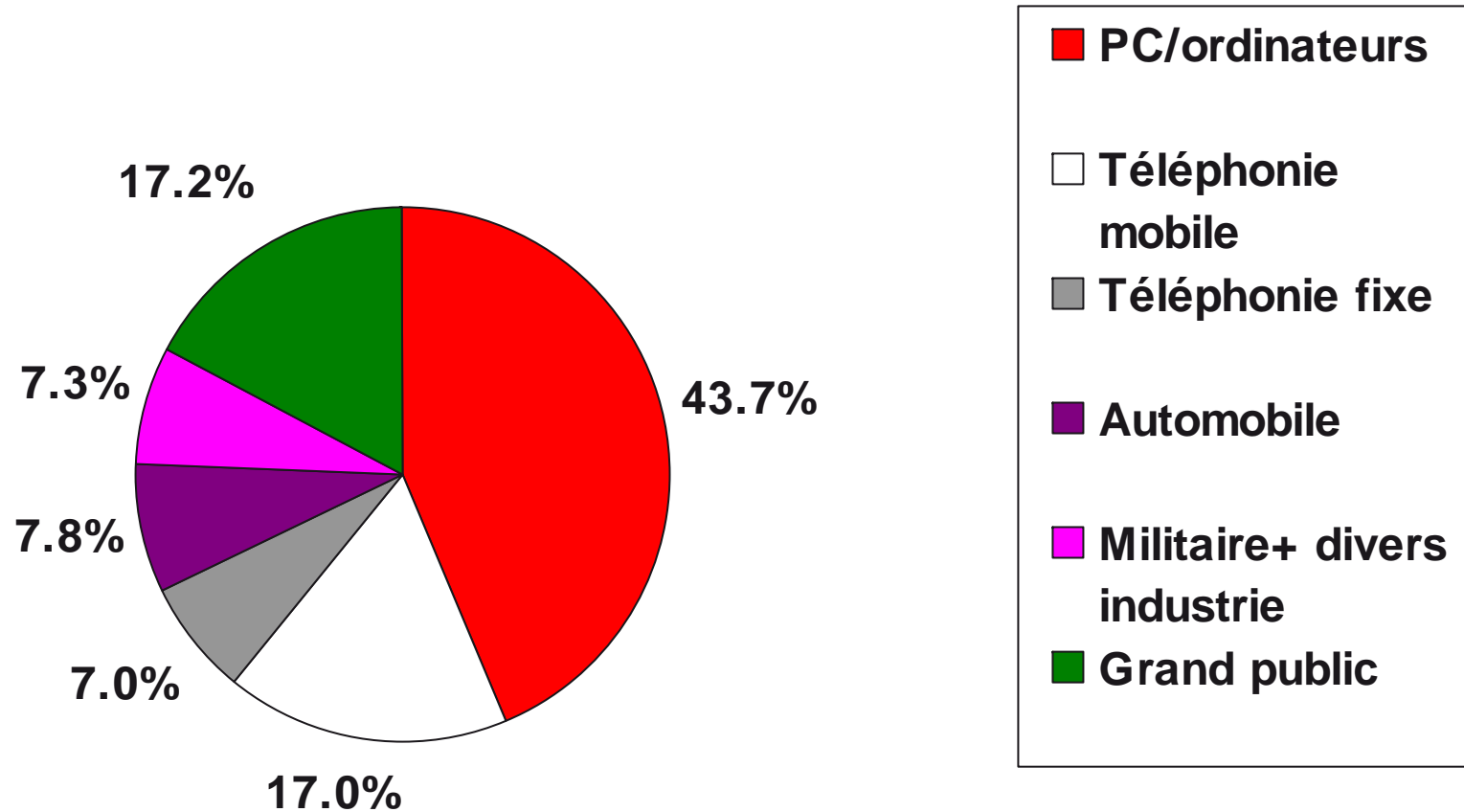
## Le marché des semi-conducteurs

- En 2008, les ventes de semi-conducteurs au niveau mondial représentent 268 G\$ (+ 5 % /2007). Prévision 2009 : 283 G\$ (+ 6 % /2008)
- Répartition (en % des ventes) :

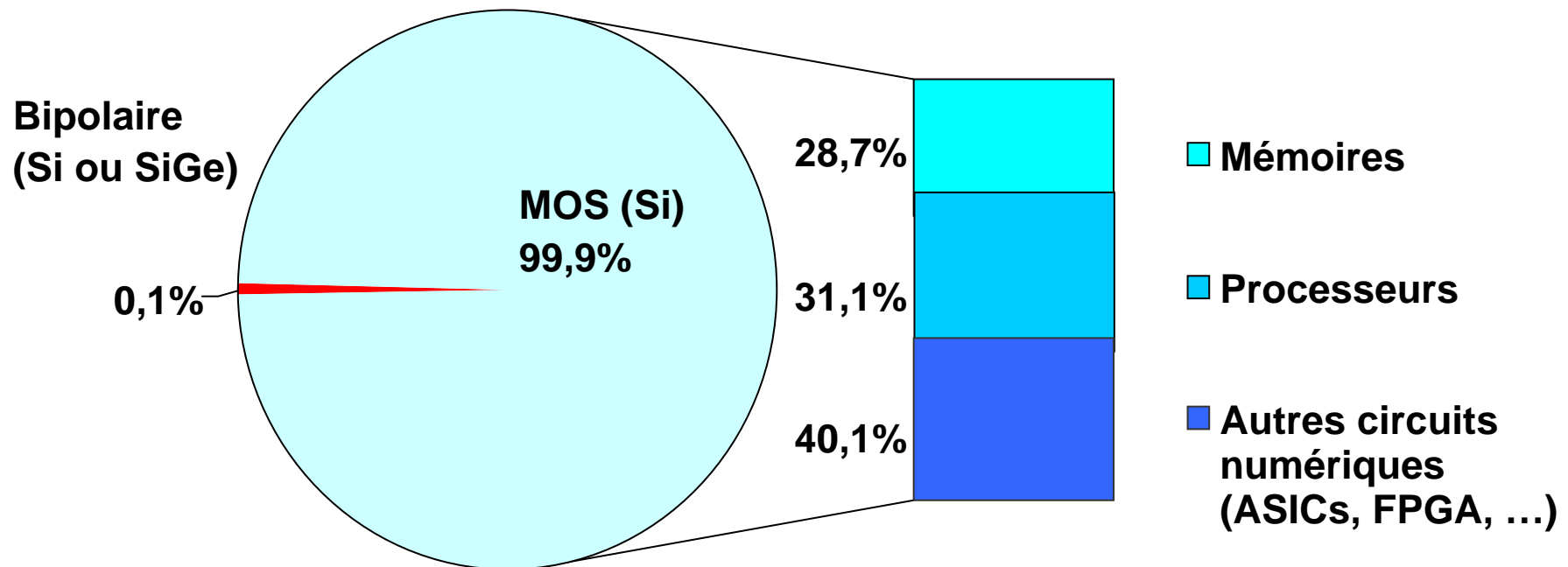


# Le marché des semi-conducteurs en 2008

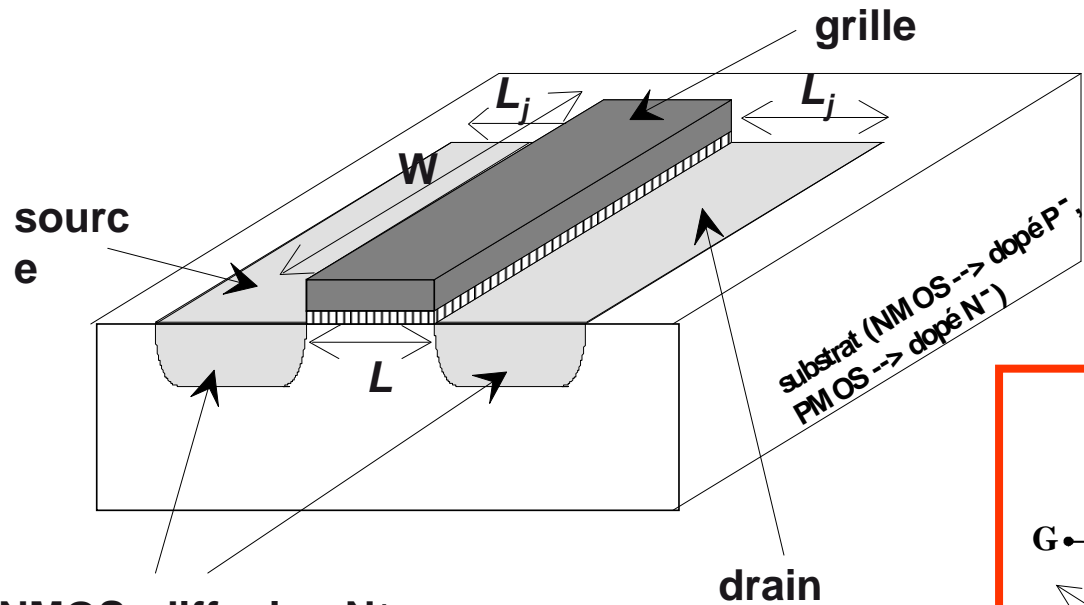
## Répartition par secteurs d'applications





# Le marché des circuits intégrés numériques en 2008



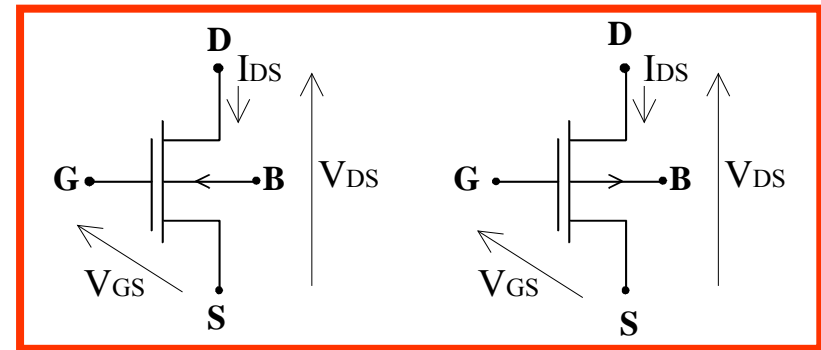
# Rappels sur le transistor MOS



 Polysilicium cristallin  
 Oxyde de silicium ( $\text{SiO}_2$ )

NMOS: diffusion  $\text{N}^+$

PMOS: diffusion  $\text{P}^+$

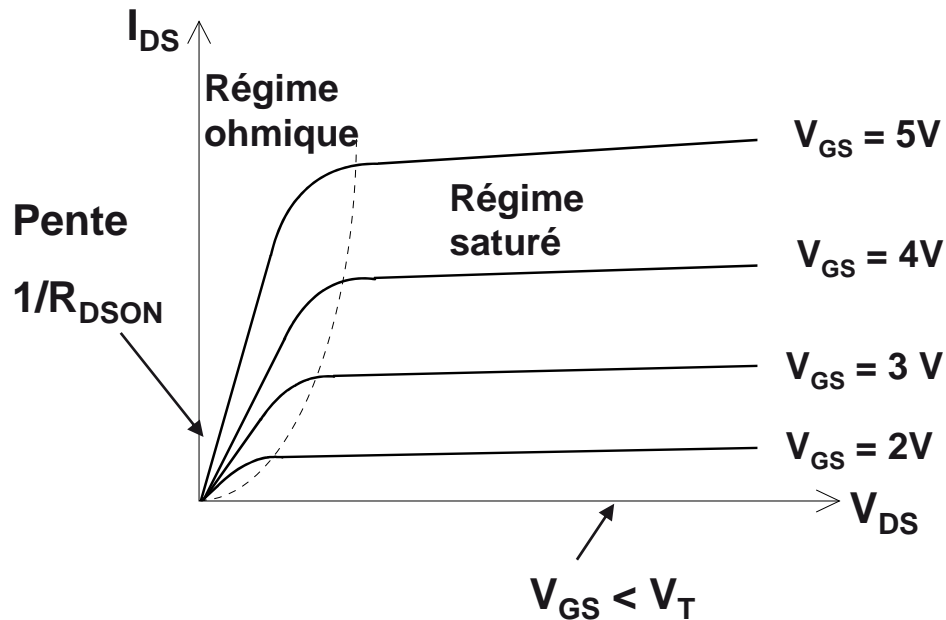


Type N

Type P

Représentation symbolique des transistors MOS

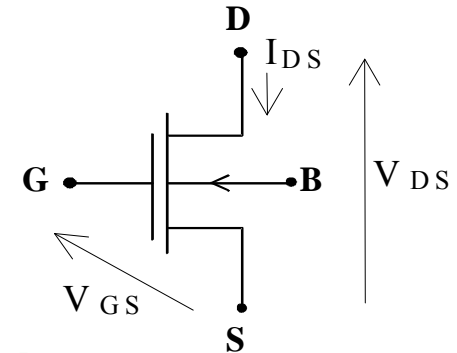
# Le transistor NMOS



$V_{TN}$  = tension de seuil

$\beta_N = \mu_{ns} C_{ox} W/L$

$R_{DSON} = 1/\beta_N (V_{GS} - V_{TN})$



**Régime bloqué:**

$V_{GS} < V_{TN}$  (isolation électrique entre drain et source)

**Régime passant:**

$V_{GS} > V_{TN}$

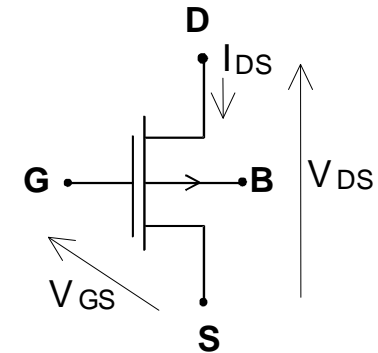
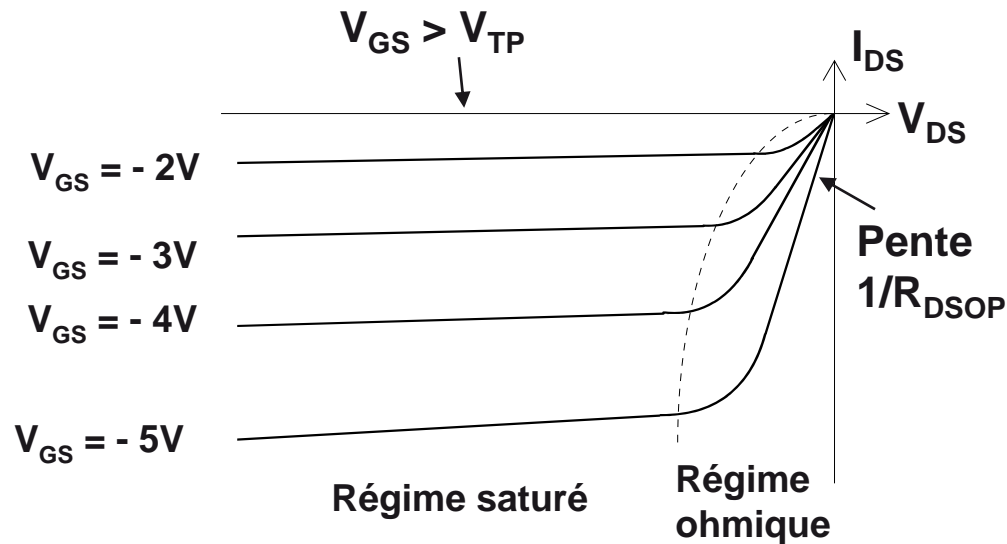
- si  $V_{DS} < V_{GS} - V_{TN}$  régime ohmique

$$I_{DS} = \beta_N (V_{GS} - V_{TN} - V_{DS}/2) V_{DS}$$

- si  $V_{DS} > V_{GS} - V_{TN}$  régime saturé

$$I_{DS} = \beta_N (V_{GS} - V_{TN})^2 / 2 \quad (V_e \rightarrow \infty)$$

# Le transistor PMOS



## Régime bloqué:

$V_{GS} > V_{TP}$  (isolation électrique entre drain et source)

## Régime passant:

$V_{GS} < V_{TP}$

- si  $V_{DS} > V_{GS} - V_{TP}$  régime ohmique

$$I_{DS} = -\beta_P (V_{GS} - V_{TP} - V_{DS}/2) V_{DS}$$

- si  $V_{DS} < V_{GS} - V_{TP}$  régime saturé

$$I_{DS} = -\beta_P (V_{GS} - V_{TP})^2 / 2 \quad (V_e \rightarrow \infty)$$

$V_{TP}$  = tension de seuil

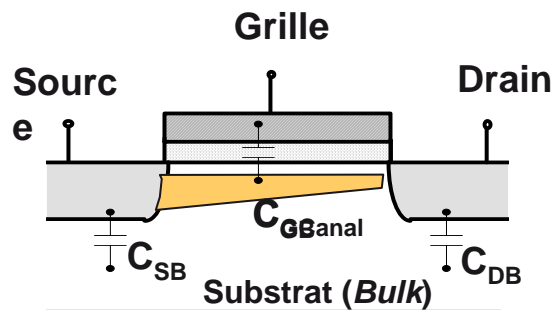
$$\beta_P = \mu_{ps} C_{ox} W/L$$

$$R_{DSOP} = -1/\beta_P (V_{GS} - V_{TP})$$

$$\mu_{ns} \approx 3 \mu_{ps}$$

# Capacités parasites du transistor MOS

Les capacités parasites influent sur les performances dynamiques des opérateurs



Elles sont de deux sortes:

- la capacité de grille (grille-canal ou grille substrat)

$$C_G \approx W L C_{ox}$$

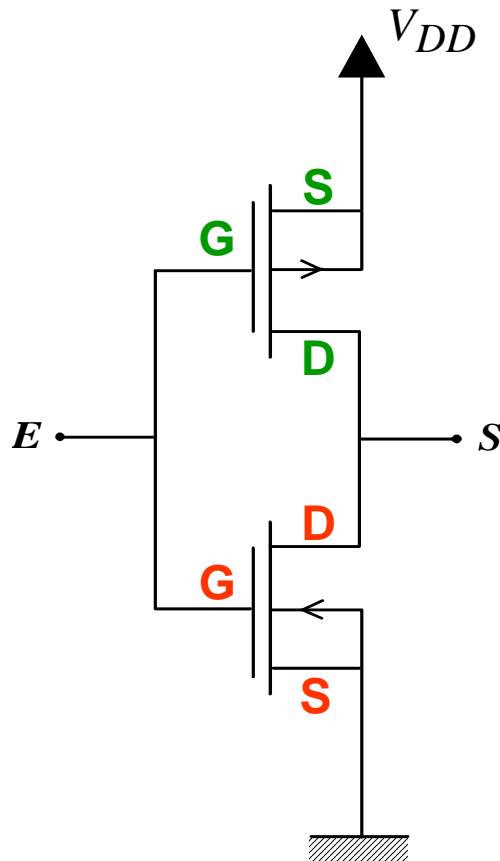
- les capacités des jonctions source-substrat et drain-substrat

$$C_{SB} \approx C_{DB} \approx W L_j C_j$$

$C_j$  : capacité de jonction par unité de surface

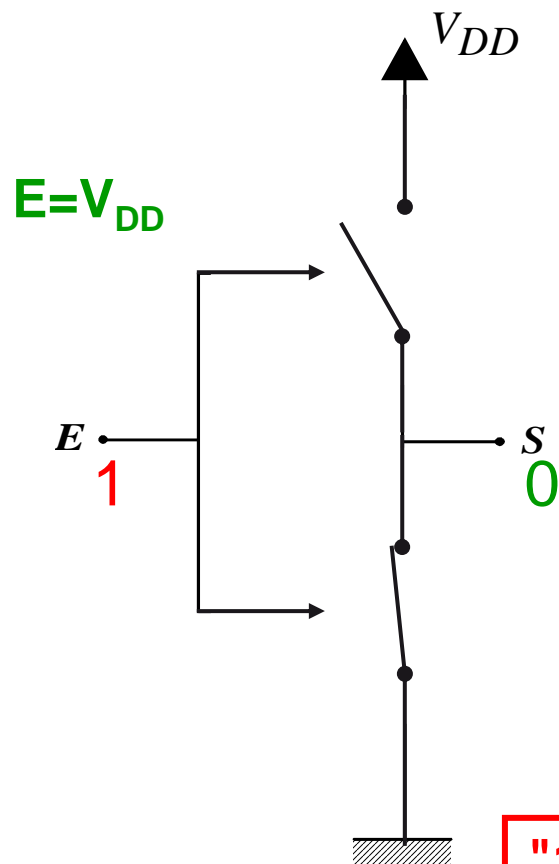


# L'inverseur CMOS



- Association d'un transistor NMOS et d'un transistor PMOS
- La sortie S est isolée électriquement de l'entrée E.
- Étude du fonctionnement en utilisant le modèle "interrupteur" du transistor MOS

# L'inverseur CMOS



Transistor canal P :

$E = V_{DD} \Rightarrow V_{GS} = 0V > V_T \Rightarrow$  transistor **bloqué**  $I_{DS} = 0$

**interrupteur ouvert**

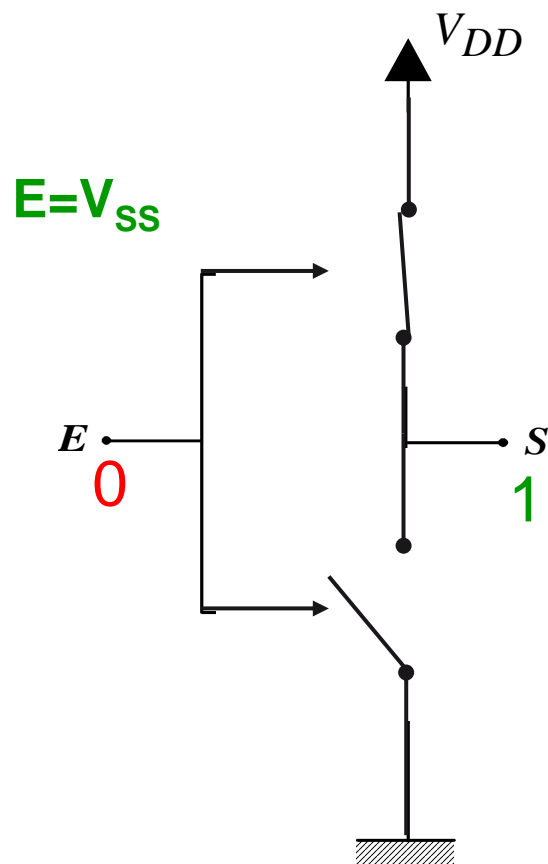
Transistor canal N :

$E = V_{DD} > V_T \Rightarrow$  transistor **passant**  $I_{DS} \neq 0$

**interrupteur fermé**

**"1" logique sur l'entrée de l'inverseur  $\Rightarrow$  "0" en sortie**

# L'inverseur CMOS



Transistor canal P :

$$E = V_{SS} \Rightarrow V_{GS} = -V_{DD} < V_T \Rightarrow \text{transistor } \text{passant} \quad I_{DS} \neq 0$$

interrupteur **fermé**

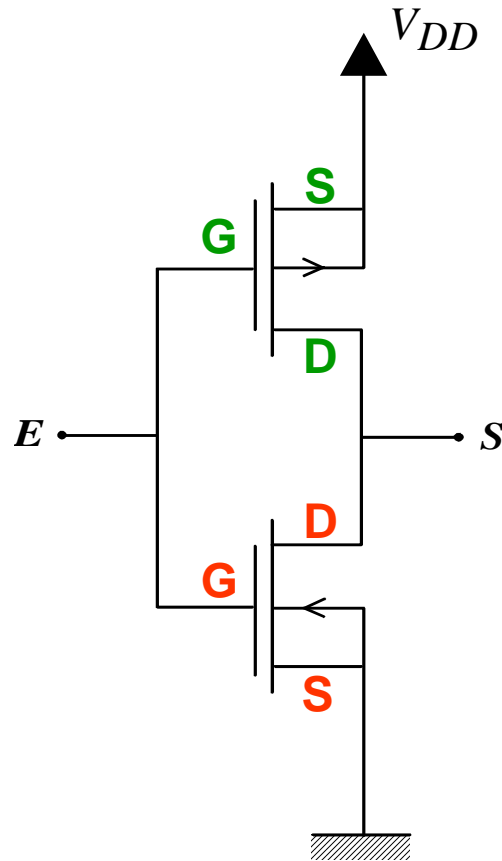
Transistor canal N :

$$E = V_{SS} < V_T \Rightarrow \text{transistor } \text{bloqué} \quad I_{DS} = 0$$

interrupteur **ouvert**

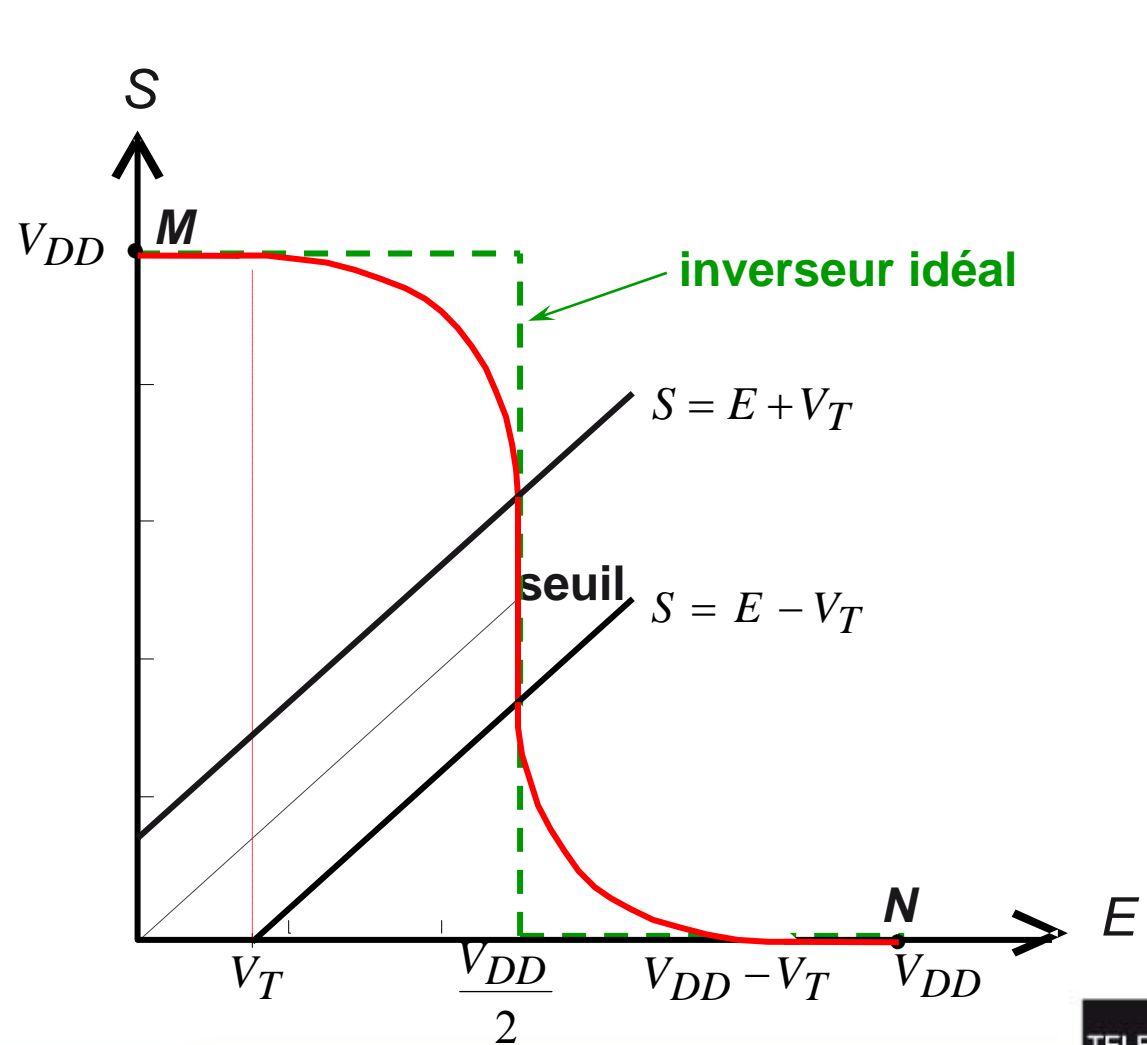
"0" logique sur l'entrée de l'inverseur => "1" en sortie

# Caractéristique de transfert

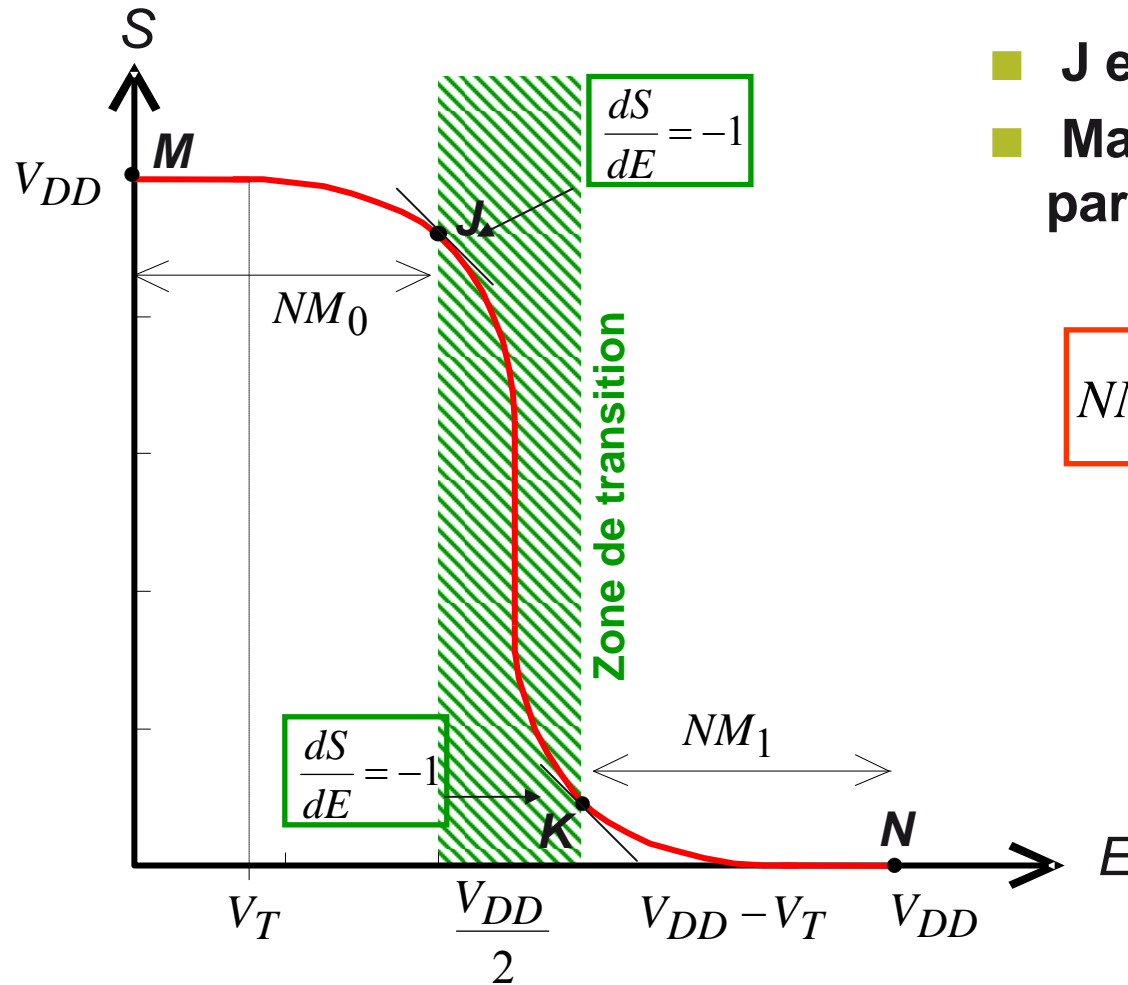


$$V_{TN} = -V_{TP} = V_T$$

$$\beta_N = \beta_P$$



# Marge de bruit



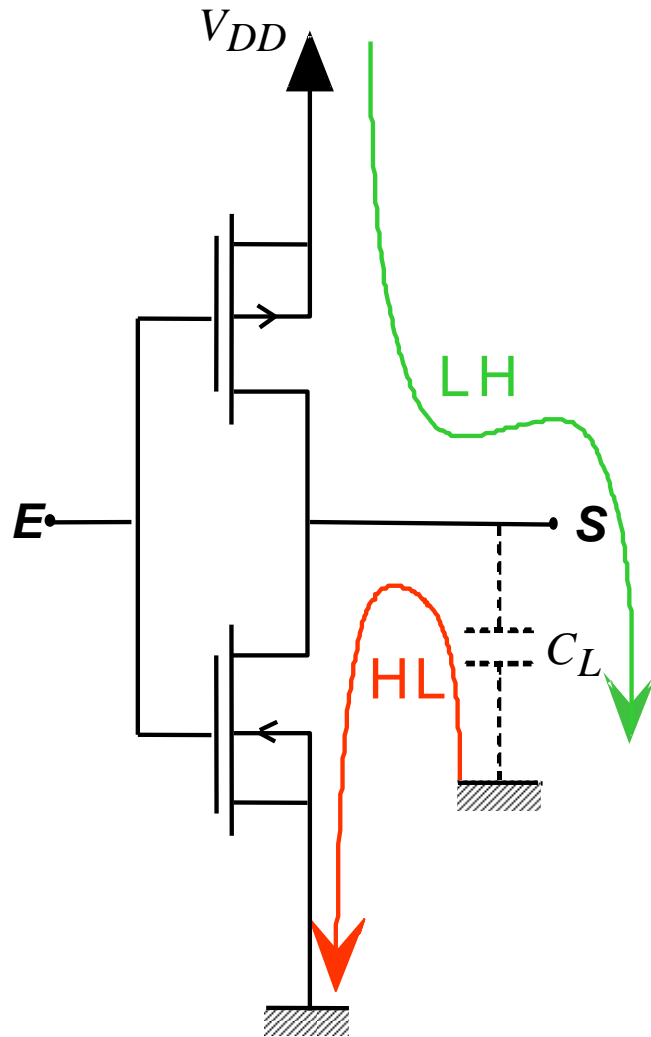
- J et K : points de gain unitaire
- Marge de bruit : un signal parasite à l'entrée est atténué

$$NM_0 = NM_1 = \frac{3V_{DD} + 2V_T}{8}$$

A. N. pour  $V_{DD} = 1,2 \text{ V}$   
 $V_T = 0,5 \text{ V}$

$$NM_0 = NM_1 \approx 0,5 \text{ V}$$

# Consommation d'un inverseur CMOS



$C_L$  modélise la charge de l'inverseur

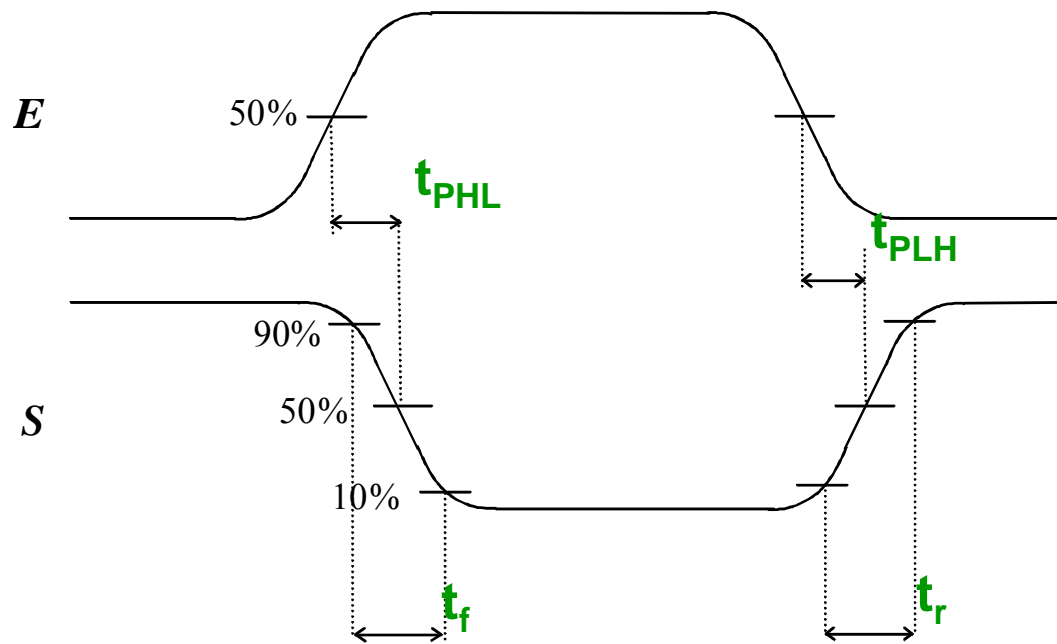
Consommation statique :

$$P_{stat} = 0$$

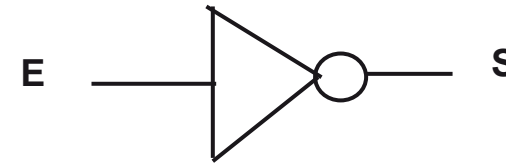
Consommation dynamique :

$$P_{dyn} = f V_{DD}^2 C_L$$

# Caractéristiques temporelles d'un inverseur CMOS



$$t_p = 1/2 (t_{PLH} + t_{PHL})$$



Sur la sortie:

$t_f$  : temps de descente

$t_r$  : temps de montée

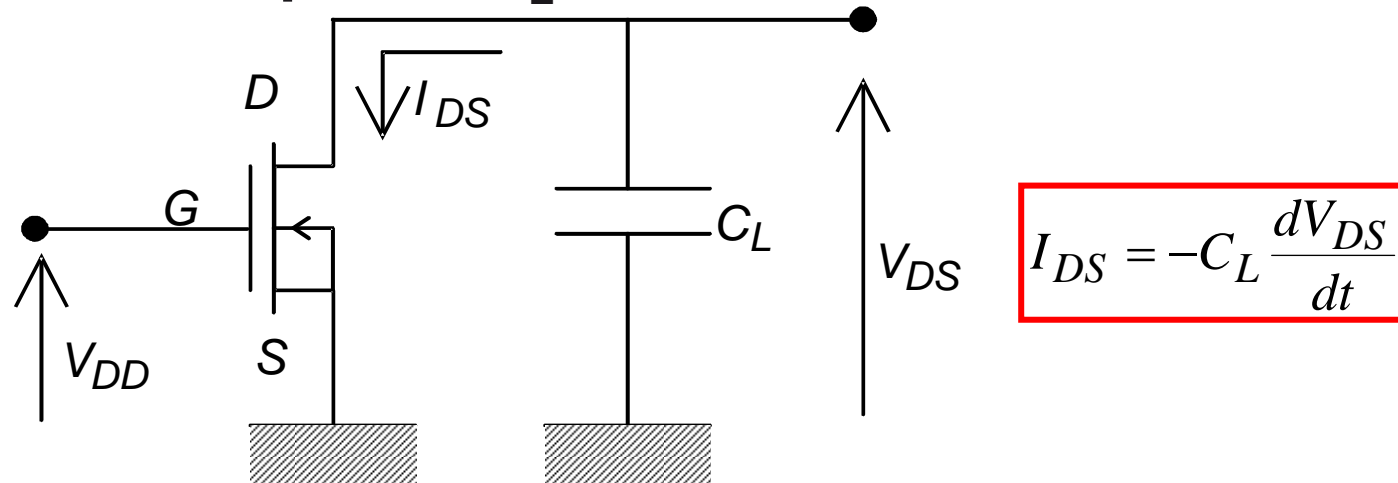
Entre E et S:

$t_{PLH}$  : temps de propagation  
lorsque S passe de 0 (Low)  
à 1 (High)

$t_{pHL}$  : temps de propagation  
lorsque S passe de 1 à 0

# Calcul du temps de descente (principe)

## ■ Décharge de la capacité $C_L$ à travers le transistor



- **Début de décharge : transistor en régime saturé**  $V_{DS} \geq V_{DSsat} = V_{DD} - V_T$

$$\Rightarrow dt = f_1(dV_{DS})$$

$t_{f1}$  obtenu en intégrant entre  $0,9V_{DD}$  et  $V_{DD} - V_T$

- **Fin de décharge : transistor en régime ohmique**  $V_{DS} < V_{DD} - V_T$

$$\Rightarrow dt = f_2(dV_{DS})$$

$t_{f2}$  obtenu en intégrant entre  $V_{DD} - V_T$  et  $0,1V_{DD}$



## Calcul du temps de descente (principe)

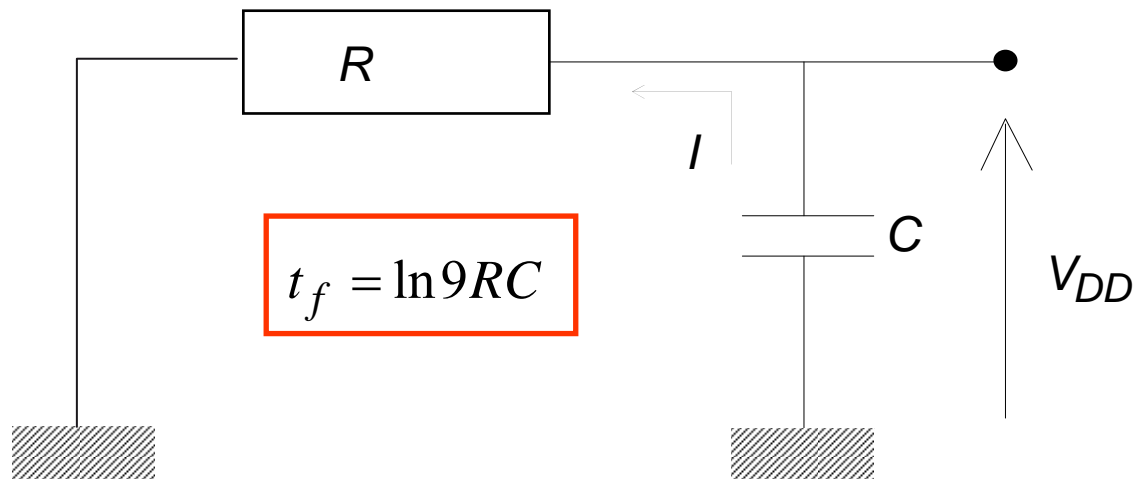
- $t_f = t_{f1} + t_{f2}$

$$t_f = R_{DS0} C_L \left[ 2 \frac{V_T - 0,1V_{DD}}{V_{DD} - V_T} + \ln \left( \frac{19V_{DD} - 20V_T}{V_{DD}} \right) \right] \text{ où } R_{DS0} = \frac{1}{\beta(V_{DD} - V_T)}$$

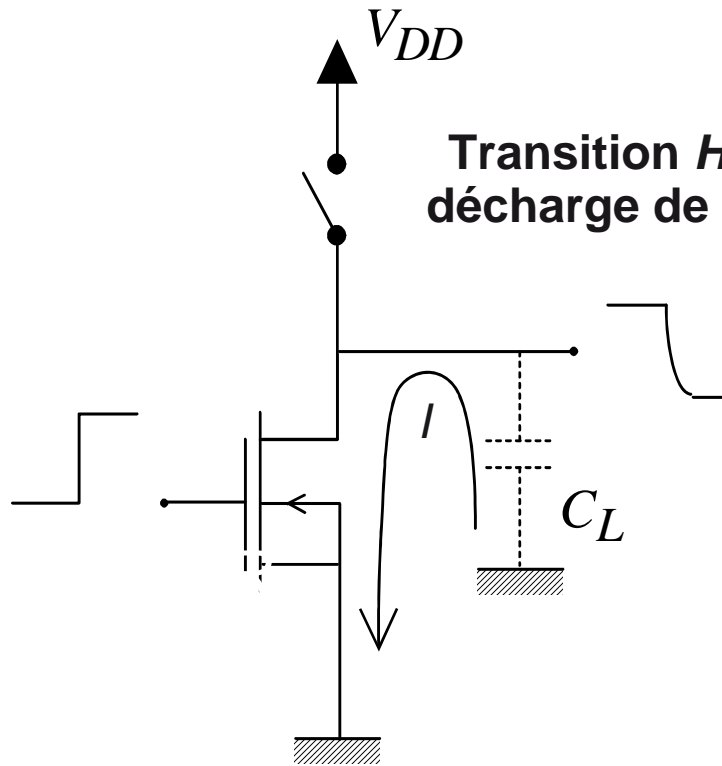
A. N.  $V_{DD} = 2 \text{ V}$ ,  $V_T = 0,75 \text{ V}$

$$t_f \approx 3R_{DS0}C_L$$

=> peut être assimilé au temps de décharge d'un réseau RC



# Calcul de $t_f$ et $t_{pHL}$



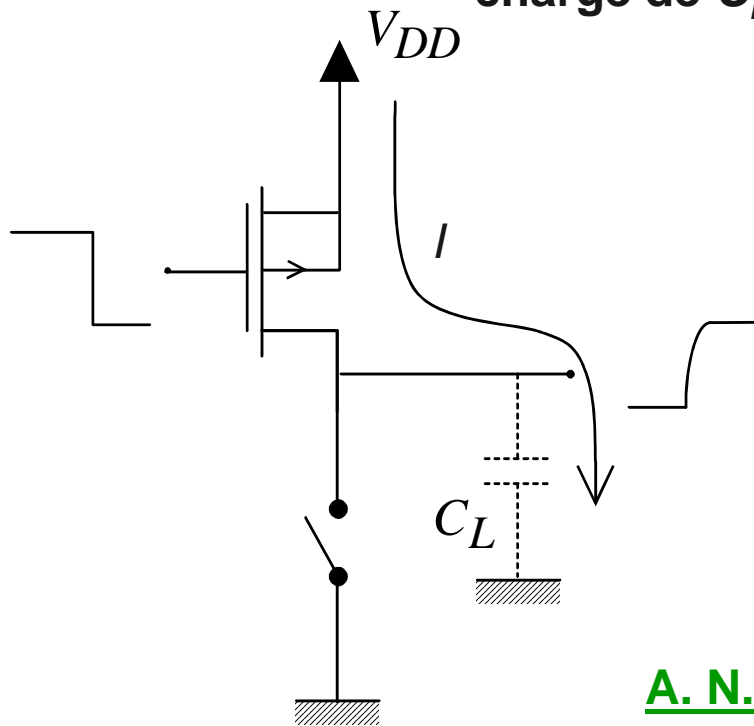
$$t_f = \ln 9 R_N C_L$$

$$\text{où } R_N \propto R_{DS0N} = \frac{1}{\beta_N (V_{DD} - V_{TN})}$$

$R_N$  : **résistance équivalente**  
du transistor NMOS à la descente

# Calcul de $t_r$ et $t_{pLH}$

Transition  $LH$  (en sortie) :  
charge de  $C_L$  à travers  $T_P$



$$t_r \approx 3R_{DS0P}C_L = \ln 9R_P C_L$$

où  $R_{DS0P} = \frac{1}{\beta_P(V_{DD} + V_{TP})}$

$R_P$  : résistance équivalente  
du transistor PMOS à la montée

A. N. Si  $\beta_N = \beta_P \Rightarrow t_r = t_f$  et  $t_{pLH} = t_{pHL}$

## Calcul du rapport $t_r/t_f$

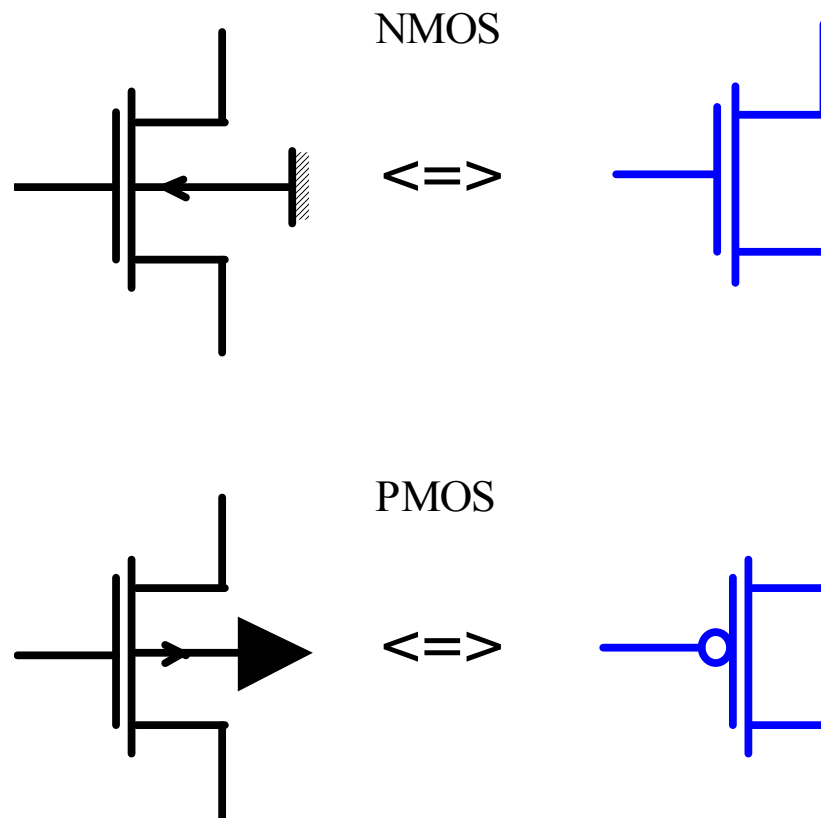
- Du point de vue du temps de descente, le transistor NMOS se comporte comme une résistance  $R_N$  de valeur  $R_N \sim R_{DS0N}$
- Du point de vue du temps de montée, le transistor PMOS se comporte comme une résistance  $R_P$  de valeur  $R_P \sim R_{DS0P}$

$$R_{DS0} = \frac{1}{\beta(V_{DD} - |V_T|)}, \quad \beta = \mu_s C_{ox} \frac{W}{L}$$

- Si  $V_{TP} = -V_{TN}$   $\frac{t_r}{t_f} = \frac{R_P}{R_N} = \frac{\beta_N}{\beta_P} = \frac{\mu_{Ns} W_N L_P}{\mu_{Ps} W_P L_N}$

- Si  $L_N = L_P = L_{min}$   $\frac{t_r}{t_f} = \frac{R_P}{R_N} \approx 3 \frac{W_N}{W_P}$

# Représentation simplifiée des transistors MOS dans les schémas CMOS



# Opérateurs CMOS élémentaires : NAND

## ■ Exemple de NAND à 2 entrées

- $A = B = 1$

=> réseau N passant,  
réseau P bloqué

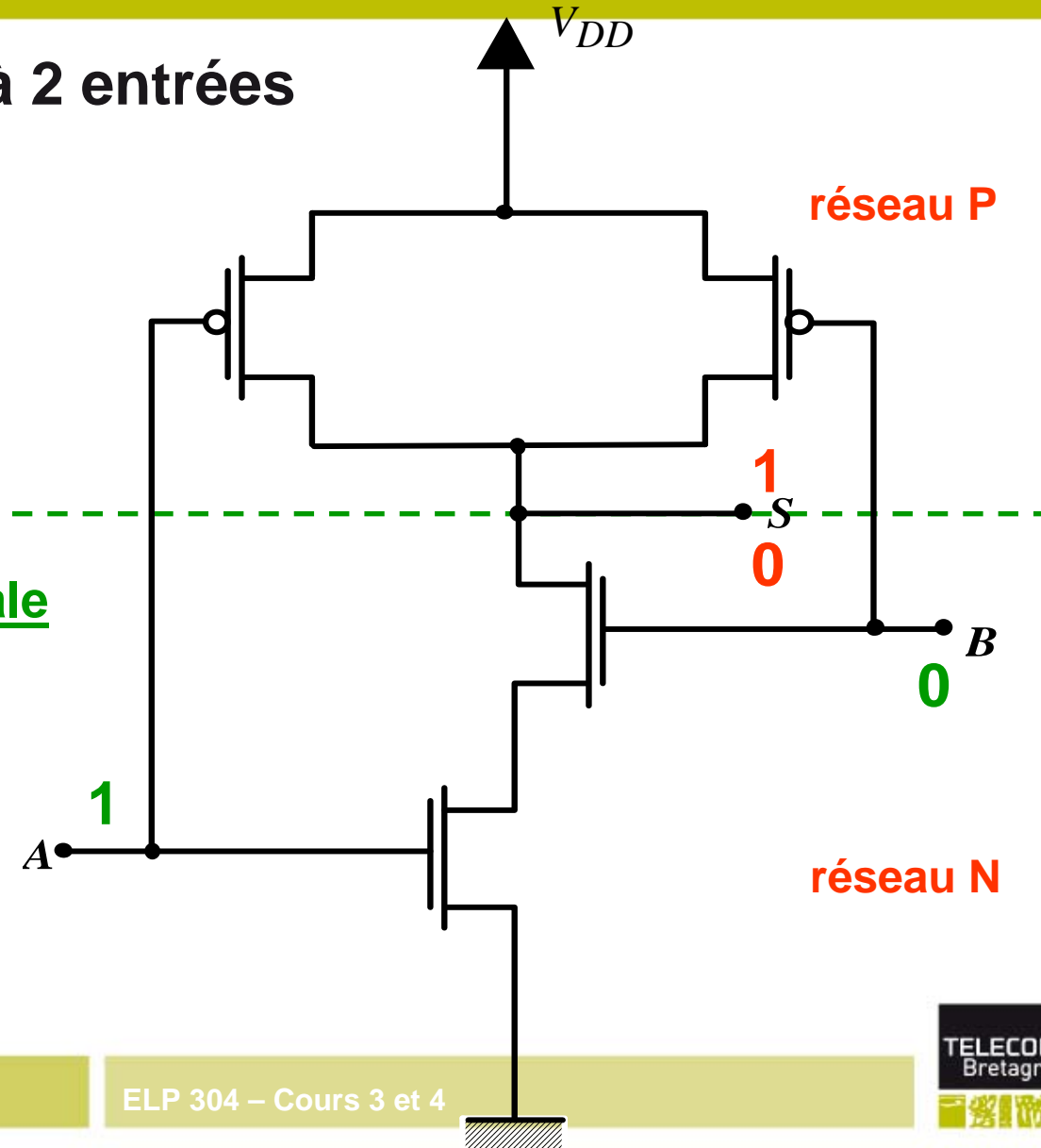
=> 0 en sortie

Structure duale

- $A = 0$  ou  $B = 0$

=> réseau N bloqué,  
réseau P passant

=> 1 en sortie



# Opérateurs CMOS élémentaires : NOR

## ■ Exemple de NOR à 3 entrées

- $A = B = C = 0$

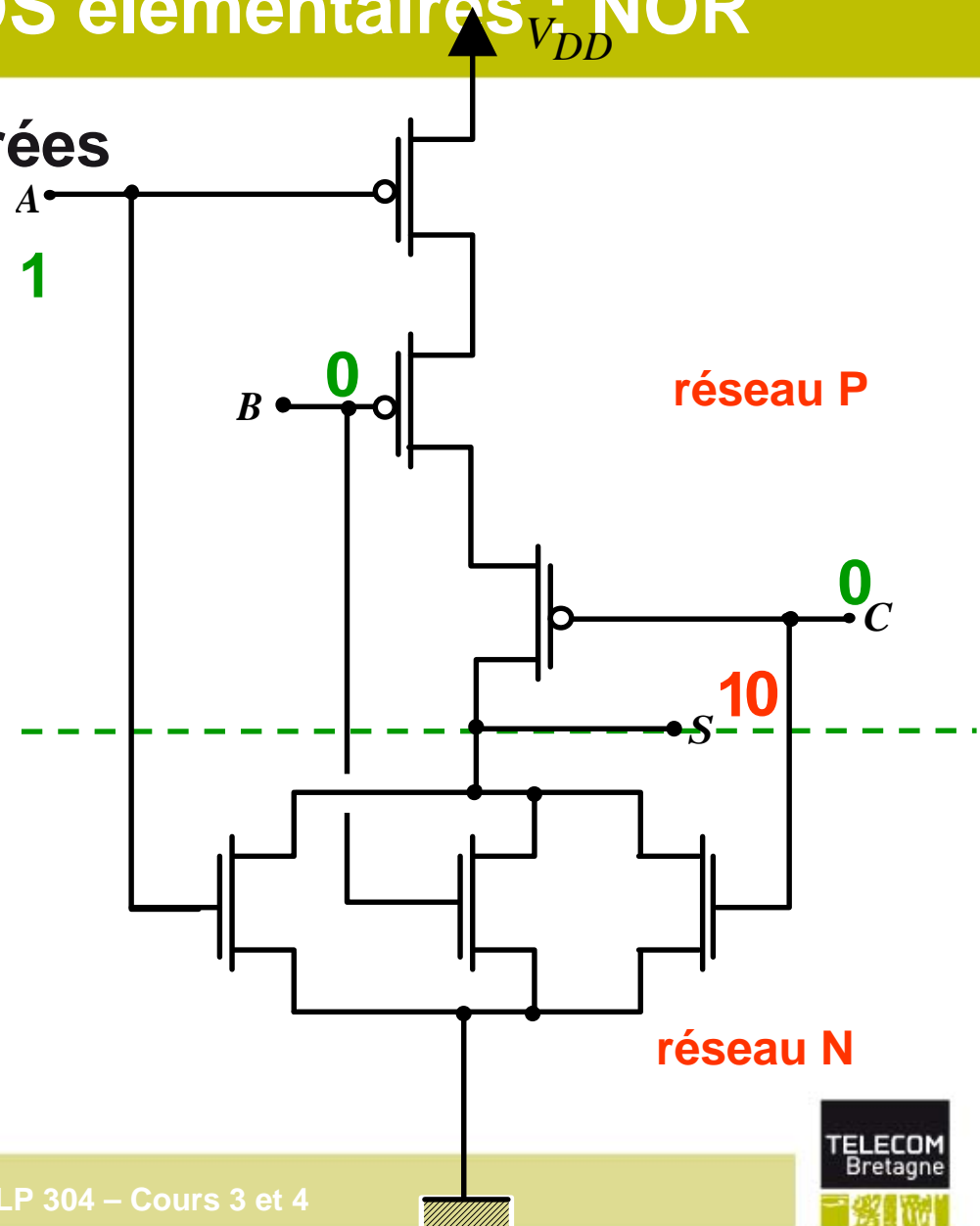
=> réseau N bloqué,  
réseau P passant

=> 1 en sortie

- $A = 1$  ou  $B = 1$  ou  $C = 1$

=> réseau N passant,  
réseau P bloqué

=> 0 en sortie



# Fonctions complexes : synthèse au niveau transistor ou au niveau porte

- **Deux approches sont possibles pour construire une fonction logique complexe**
  1. **Utilisation d'une bibliothèque** de portes élémentaires (INV, NAND, NOR, ...)  
=> pas besoin de connaître la structure des portes
  2. **Synthèse directe** au niveau transistor  
=> blocs logiques moins encombrants et plus rapides

**=> dépend de l'outil de conception utilisé**



# Structure générale des opérateurs statiques CMOS

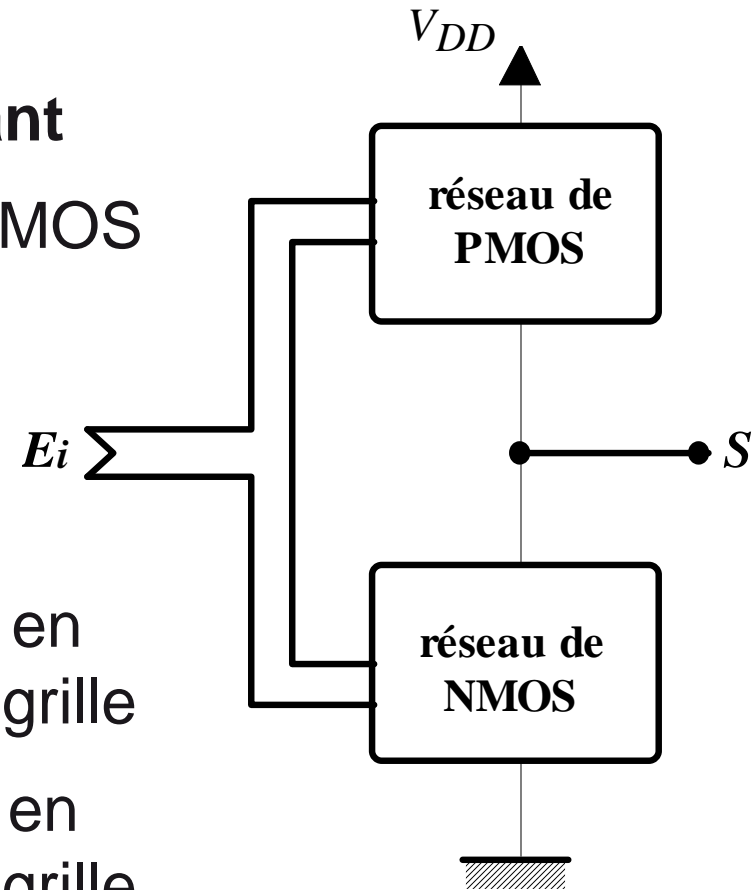
## ■ Un seul des réseaux doit être passant

=> même nombre de NMOS et de PMOS

=> structures des 2 réseaux **duales**

## ■ Fonction obtenue sous forme **complémentée**

- **NMOS** : transmission d'un 0 logique en sortie lorsqu'un 1 est appliqué sur sa grille
- **PMOS** : transmission d'un 1 logique en sortie lorsqu'un 0 est appliqué sur sa grille



# Méthode de construction des opérateurs statiques CMOS

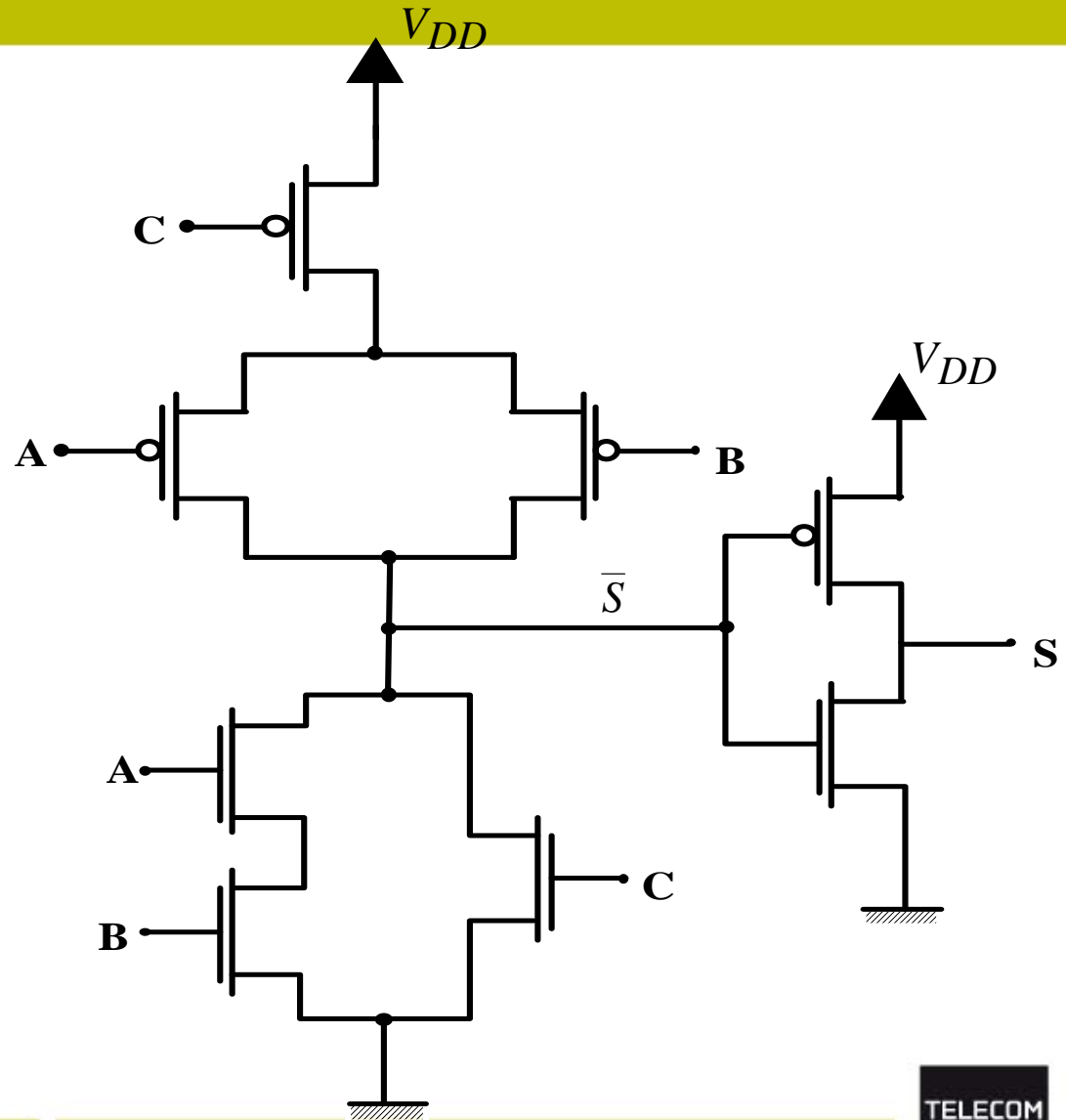
- Si  $f$  est un complément  $\Rightarrow$  synthèse directe
- Sinon, synthèse de  $\overline{f}$  et faire suivre d'un inverseur
- **Construction du réseau NMOS**
  - placer les transistors N
    - en **serie** pour réaliser les fonctions **ET**
    - en **parallèle** pour réaliser les fonctions **OU**
- **Construction du réseau PMOS**
  - placer les transistors P
    - en **parallèle** pour réaliser les fonctions **ET**
    - en **serie** pour réaliser les fonctions **OU**

# Exemple 1

## ■ Synthèse de

$$S = f(A, B, C) = AB + C$$

2 couches logiques



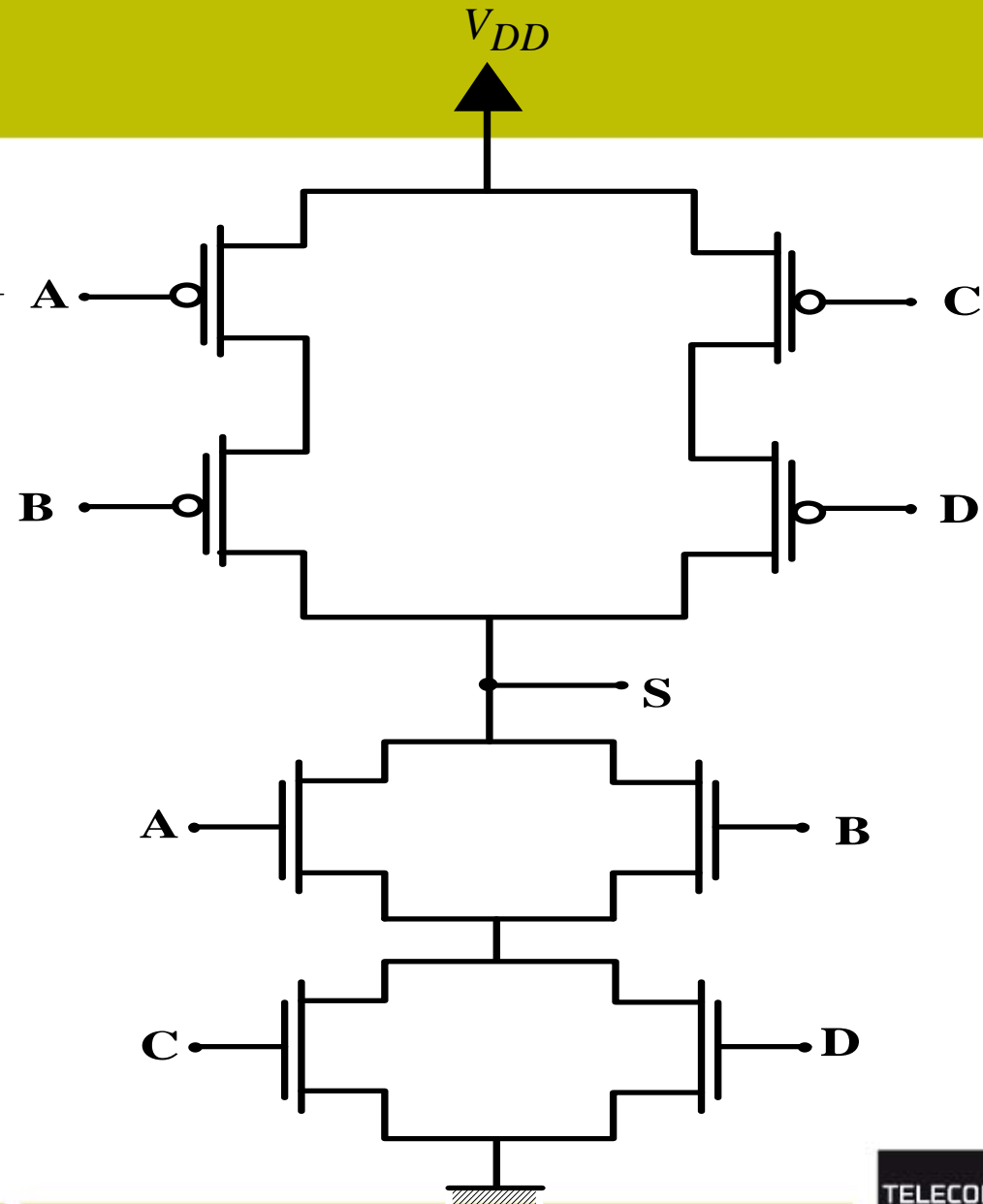
## Exemple 2

### ■ Synthèse de

$$S = f(A, B, C, D) = \bar{A}\bar{B} + \bar{C}\bar{D}$$

$$S = \overline{A + B + C + D}$$

$$S = \overline{(A + B)(C + D)}$$

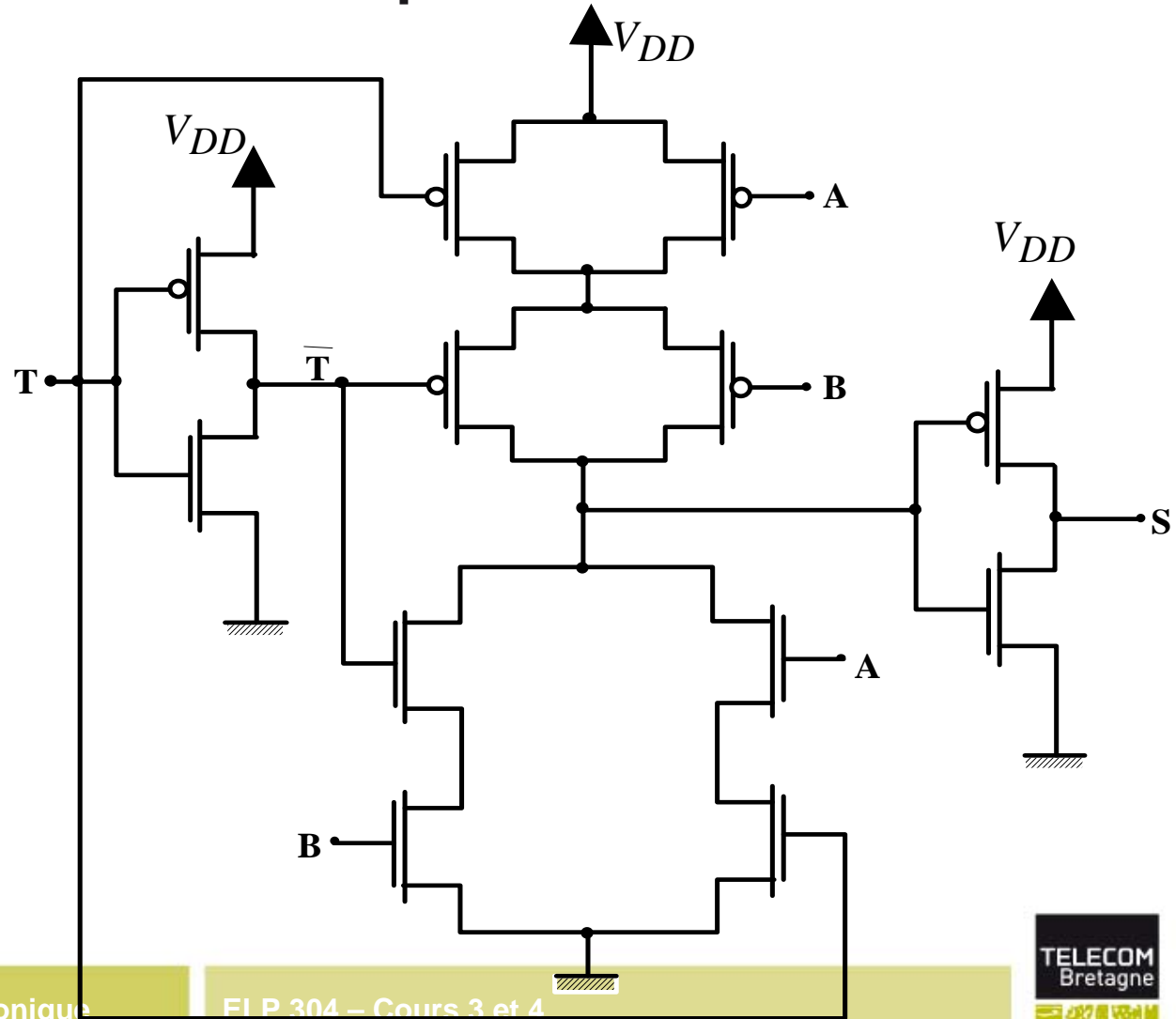


## Exemple 3

- Quelle est la fonction réalisée par ce circuit ?

$$S = AT + B\bar{T}$$

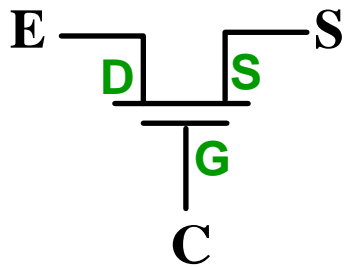
=> **MUX 2:1**



# Opérateurs CMOS à base d'interrupteurs

## ■ Porte de transfert ou interrupteur MOS

### • Porte de transfert NMOS

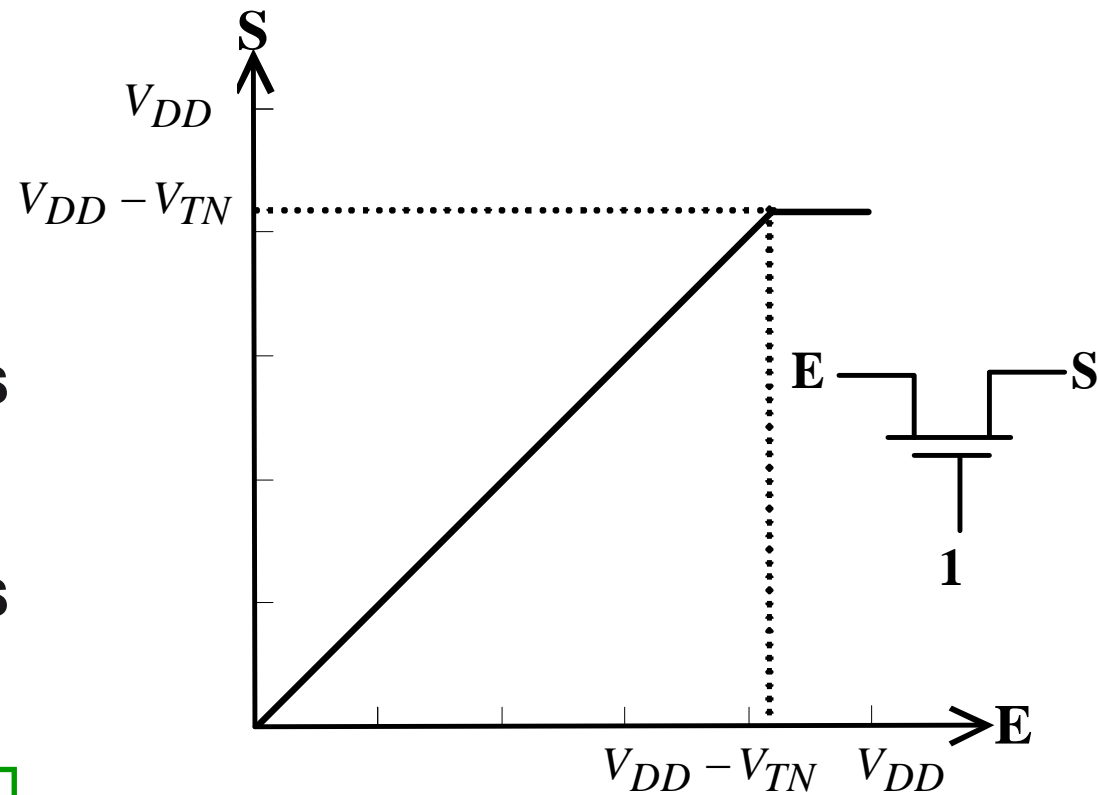


»  $C = 0$  ( $V_{SS}$ ) =>

»  $C = 1$  ( $V_{DD}$ ) =>

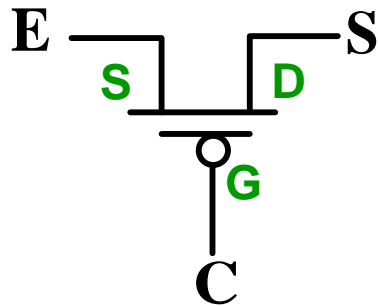
**mais**

$$E = V_{DD} \Rightarrow S = V_{DD} - V_{TN}$$



# Opérateurs CMOS à base d'interrupteurs

- Porte de transfert PMOS



»  $C = 1$  ( $V_{DD}$ ) =>

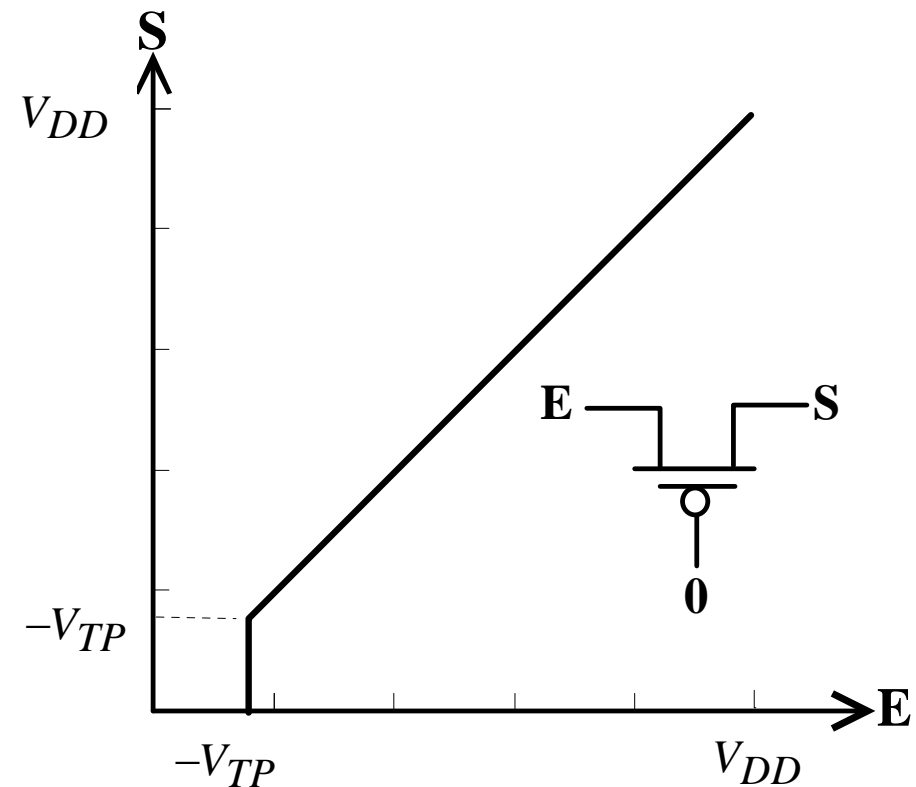


»  $C = 0$  ( $V_{SS}$ ) =>

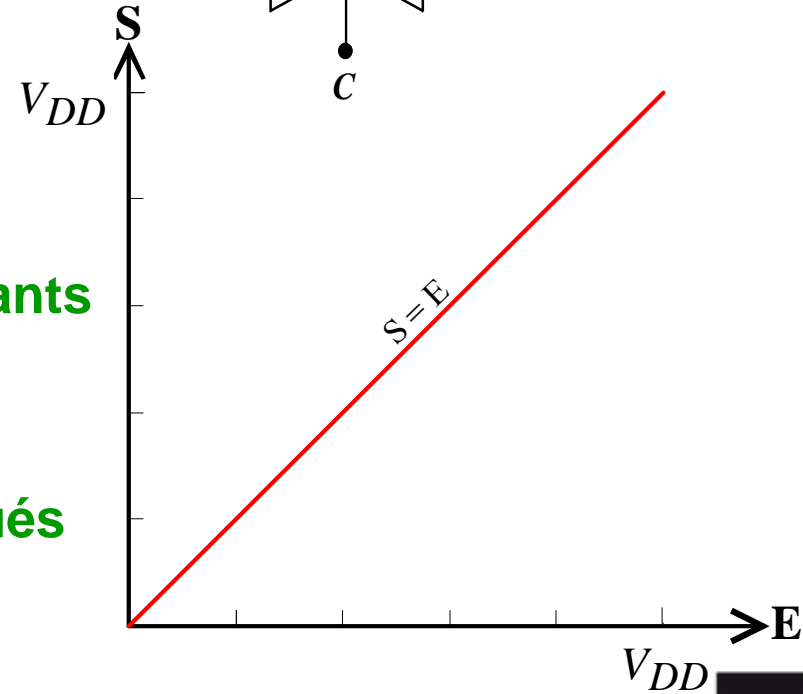
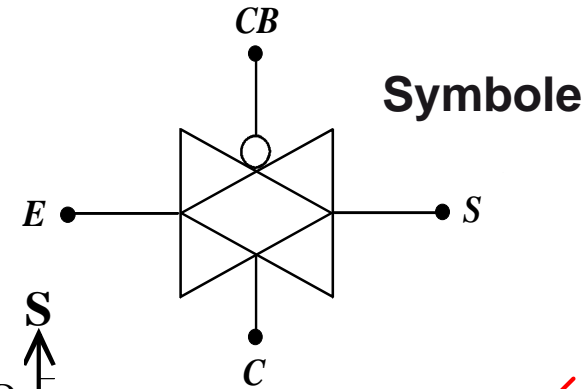
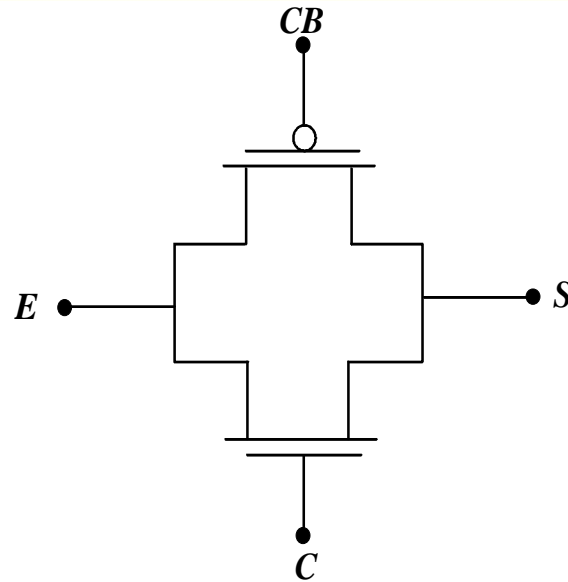


**mais**

$E < -V_{TP} \Rightarrow$  transistor bloqué



# Porte de transfert CMOS



- **$C = 1$  et  $CB = 0$ , transistors passants**

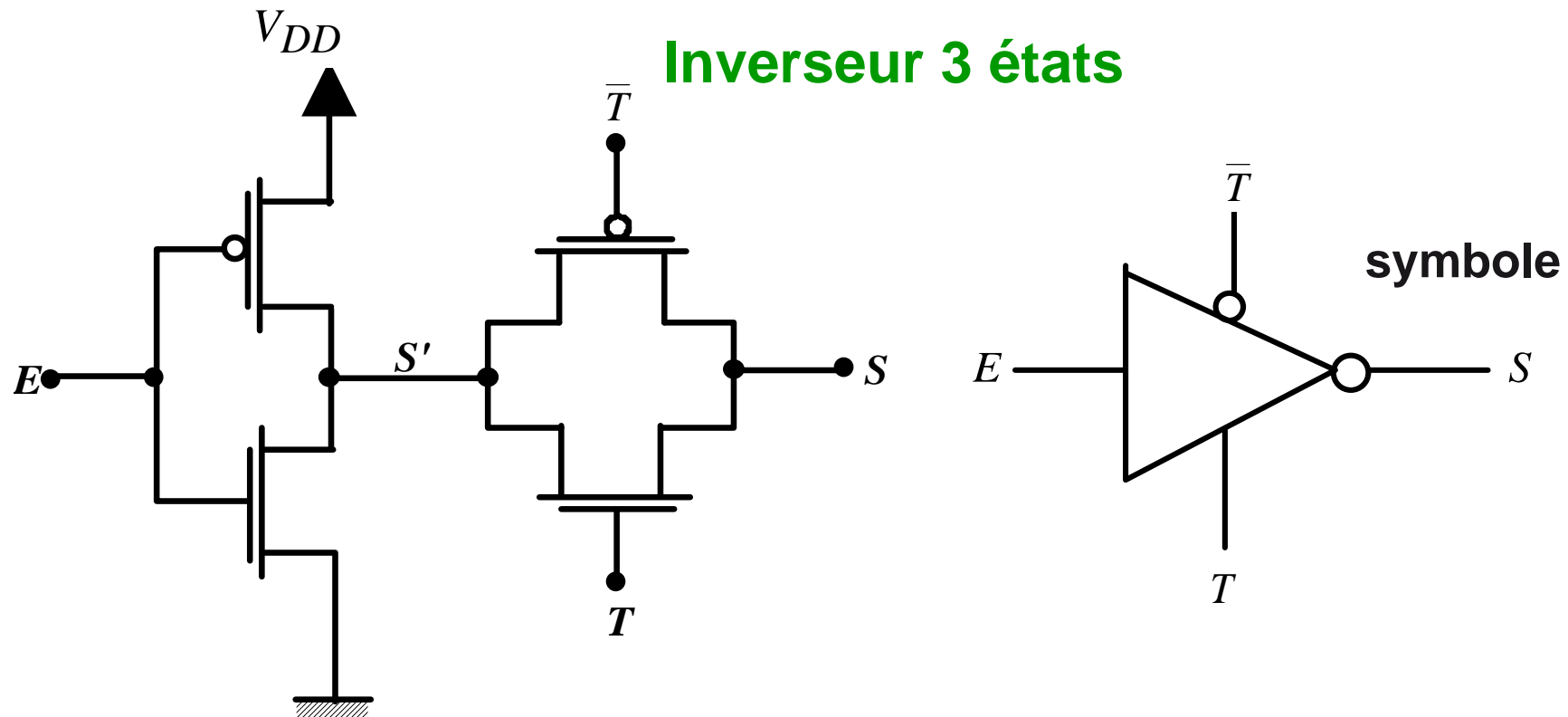


- **$C = 0$  et  $CB = 1$ , transistors bloqués**





# Exemple d'utilisation de l'interrupteur CMOS : les opérateurs trois états

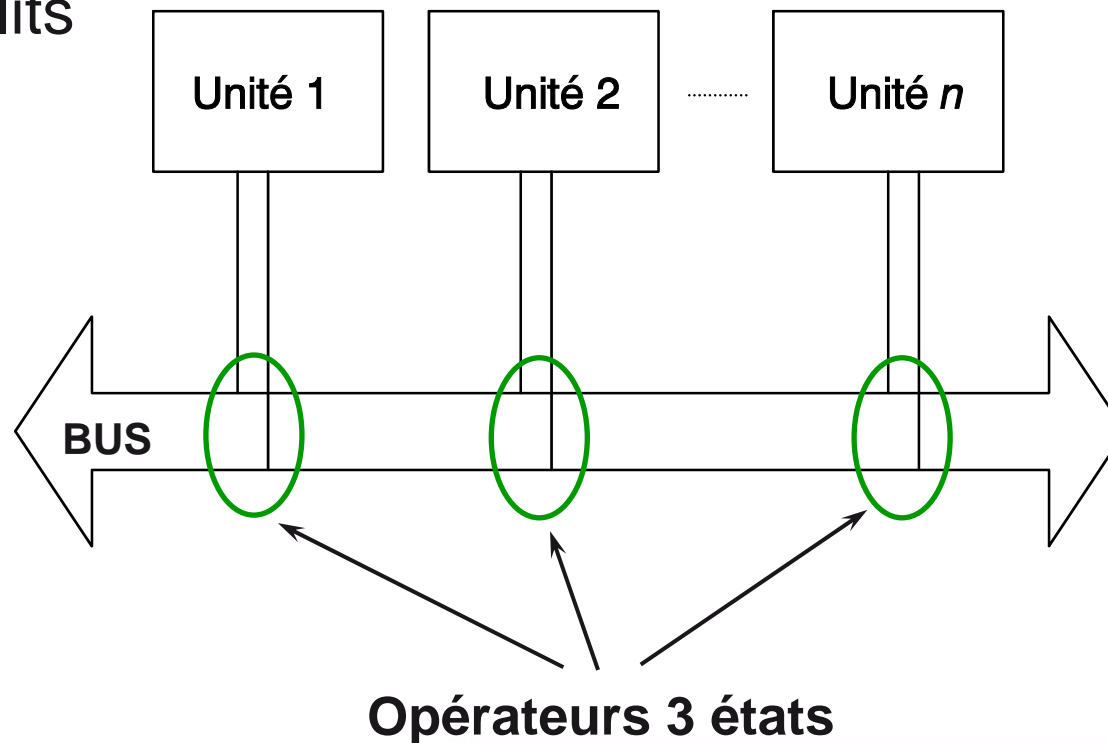


- Si  $T = 1$ ,  $S = S'$
- Si  $T = 0$ ,  $S = Z$  : état **haute impédance** (sortie déconnectée)

# Exemple d'utilisation d'opérateurs trois états

## ■ Structures organisées autour d'un bus

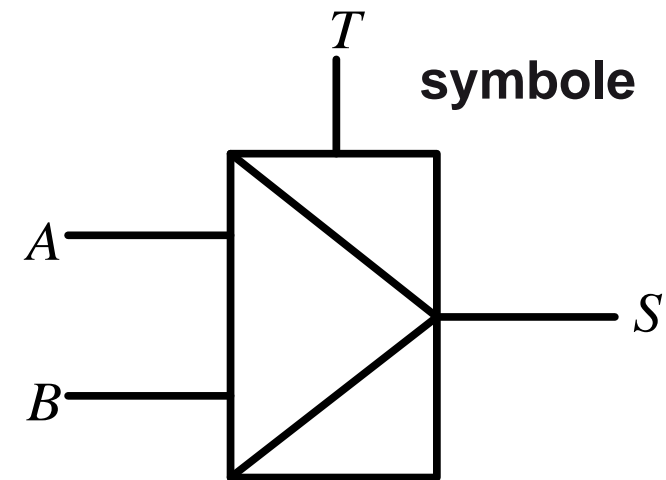
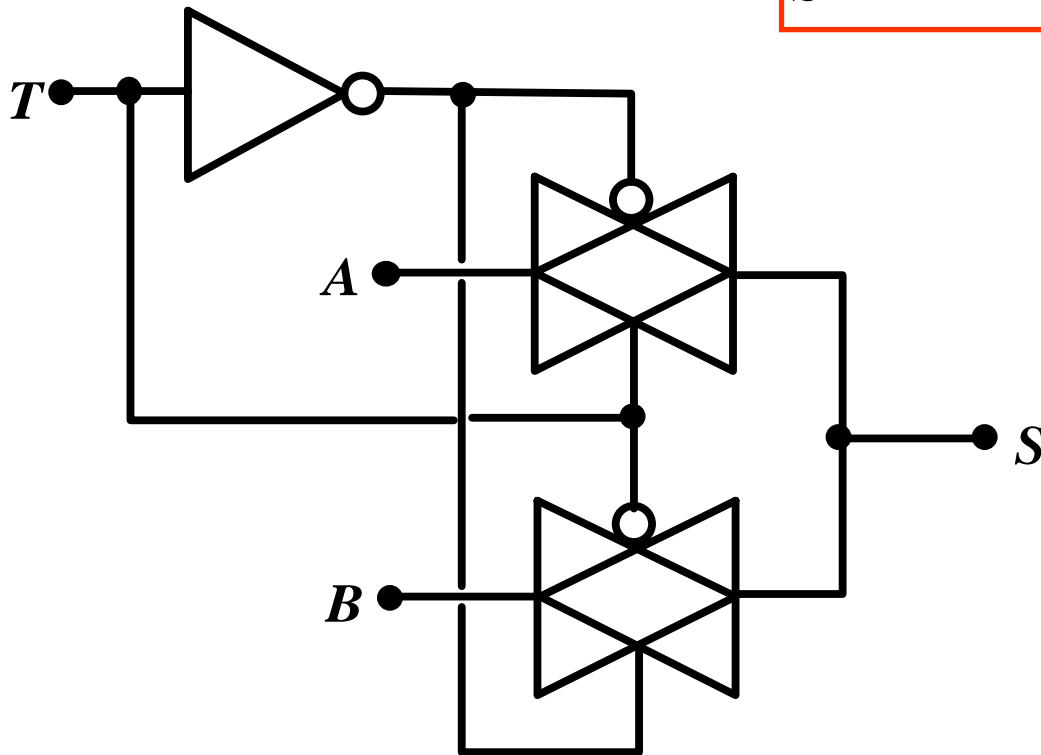
- Possibilité d'accès au bus pour plusieurs unités logiques
- Une seule unité à la fois doit être connectée pour éviter les conflits



# Exemple d'utilisation de l'interrupteur CMOS : les fonctions de multiplexage

## Réalisation d'un multiplexeur 2 vers 1

$$S = AT + B\bar{T}$$



# Performances des circuits logiques CMOS (I)

## ■ Performances **statiques** similaires à celles de l'inverseur

- Points de fonctionnement ( $V_{SS}, V_{DD}$ ) et ( $V_{DD}, V_{SS}$ )
- **Pas de consommation statique**

## ■ Performances **dynamiques**

- Pour un opérateur constitué d'**une couche logique**

$$P_{dyn} = f_S V_{DD}^2 C_L$$

où  $f_S$  est la fréquence de commutation de l'opérateur (de sa sortie)

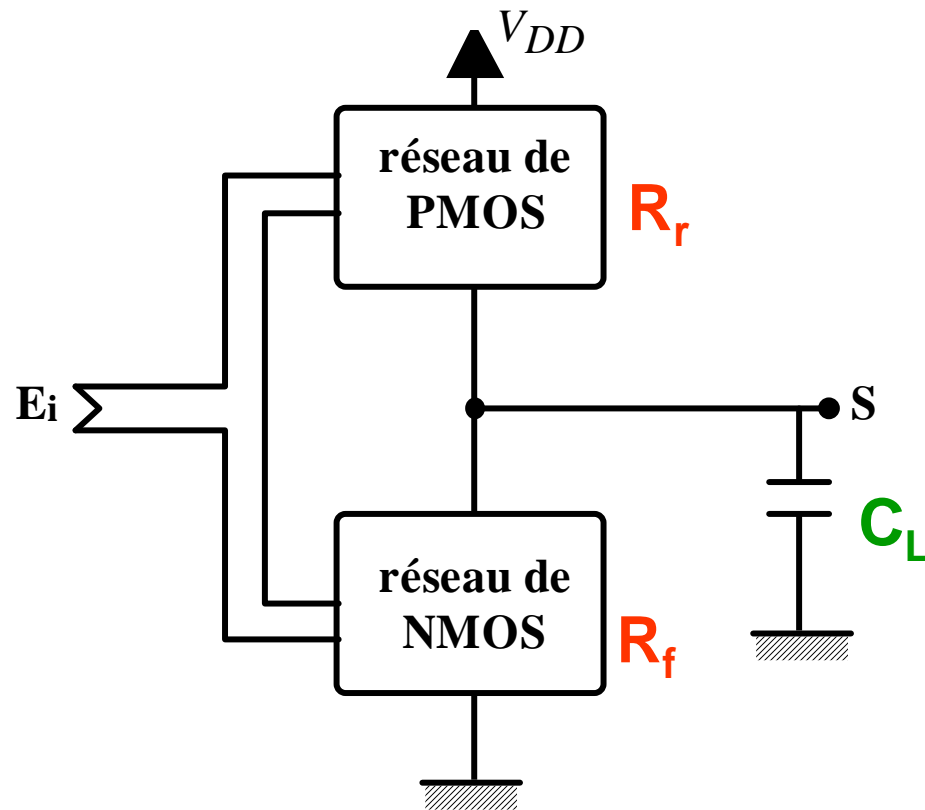
- Pour un opérateur constitué de **plusieurs couches logiques** ou un circuit complet

$$P_{dyn} = \sum P_i$$

# Performances des circuits logiques CMOS (II)

## ■ Temps de commutation ( $t_r$ , $t_f$ )

- Calcul complet trop lourd !
- Calcul des **résistances équivalentes des réseaux N et P**,  $R_f$  et  $R_r$



$$t_r \approx \ln 9 R_r C_L$$
$$t_f \approx \ln 9 R_f C_L$$

# Temps de commutation d'une porte NAND2

- Calcul de  $R_f$  : résistance équivalente du réseau N pour la descente

$$R_f = 2R_N \Rightarrow t_f(NAND2) = 2 \ln 9R_N C_L$$

- Calcul de  $R_r$  : résistance équivalente du réseau P pour la montée

2 configurations possibles lorsque l'étage P est passant :

- 1 transistor P passant

$$R_r = R_P \Rightarrow t_r(NAND2) = \ln 9R_P C_L$$

- 2 transistors P passants en //

$$R_r = R_P / 2 \Rightarrow t_r(NAND2) = \frac{1}{2} \ln 9R_P C_L$$

- Dissymétrie des temps de commutation

$$\frac{t_r}{t_f} = \frac{t_{pLH}}{t_{pHL}} = \frac{1}{2} \frac{R_P}{R_N} \quad \text{ou} \quad \frac{1}{4} \frac{R_P}{R_N}$$

# Temps de commutation d'une porte NOR3 (I)

## ■ Performances duales

- Calcul de  $R_f$  : résistance équivalente du réseau N pour la descente

3 configurations possibles lorsque l'étage N est passant :

- 1 transistor N passant  $R_f = R_N \Rightarrow t_f(NOR3) = \ln 9R_N C_L$ 
  - » 2 transistors N passants en //

$$R_f = \frac{R_N}{2} \Rightarrow t_f(NOR3) = \frac{1}{2} \ln 9R_N C_L$$

- » 3 transistors N passants en //

$$R_f = \frac{R_N}{3} \Rightarrow t_f(NOR3) = \frac{1}{3} \ln 9R_N C_L$$

# Temps de commutation d'une porte NOR3 (II)

- Calcul de  $R_r$  : résistance équivalente du réseau P pour la montée

$$R_r = 3R_P \Rightarrow t_r(NOR3) = 3 \ln 9 R_P C_L$$

- Dissymétrie des temps de commutation

$$\frac{t_r}{t_f} = \frac{t_{pLH}}{t_{pHL}} = 3 \frac{R_P}{R_N} \text{ ou } 6 \frac{R_P}{R_N} \text{ ou } 9 \frac{R_P}{R_N}$$



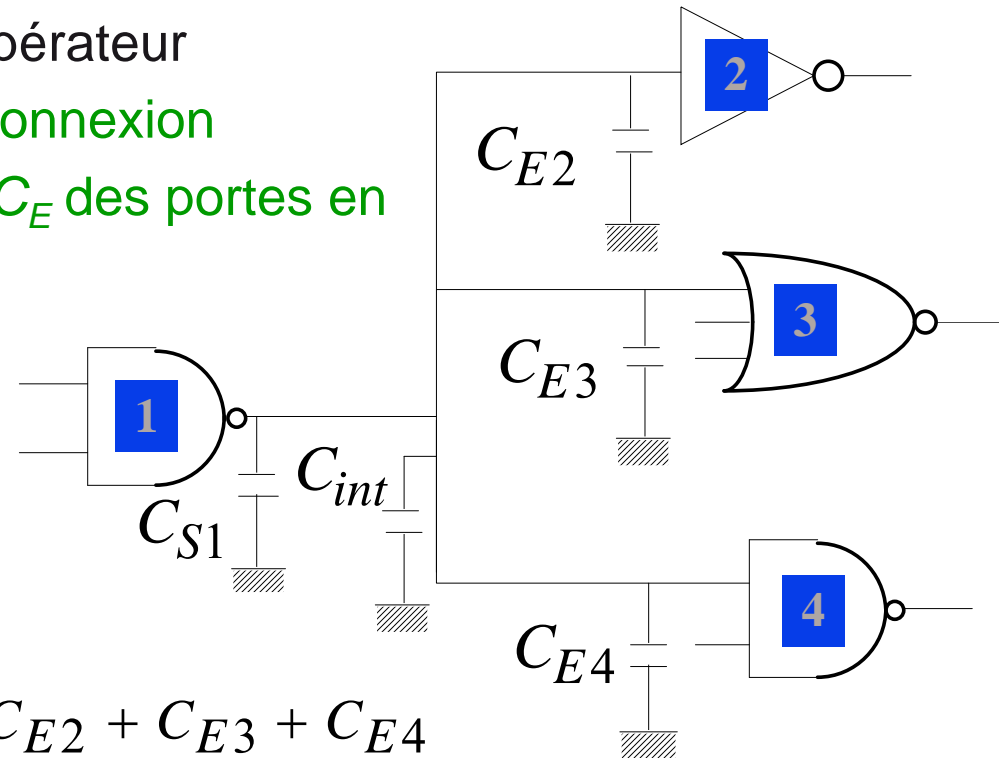
# Temps de commutation d'une chaîne logique

- Les temps de montée et de descente sont ceux de la **dernière couche logique**
- Les temps de propagation sont **additifs**
- **Problème** : estimation de  $C_L$ 
  - Analyse de la capacité de charge  $C_L$  d'un opérateur logique CMOS
    - Capacité de sortie
    - Capacité d'entrée
    - Capacité de charge totale

# Capacité de charge totale d'un opérateur CMOS

## ■ $C_L$ : somme de trois termes

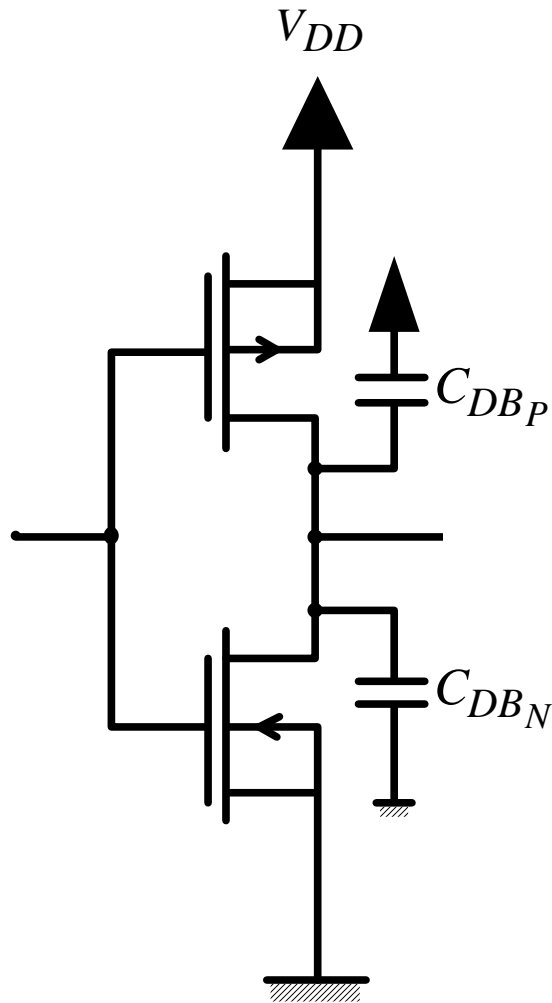
- capacité de sortie  $C_S$  de l'opérateur
- capacité de ligne ou d'interconnexion
- $\Sigma$  des capacités d'entrées  $C_E$  des portes en charge



$$C_{L1} = C_{S1} + C_{int} + C_{E2} + C_{E3} + C_{E4}$$

$$C_L = C_S + C_{int} + \Sigma C_E$$

# Capacité de sortie d'un opérateur CMOS



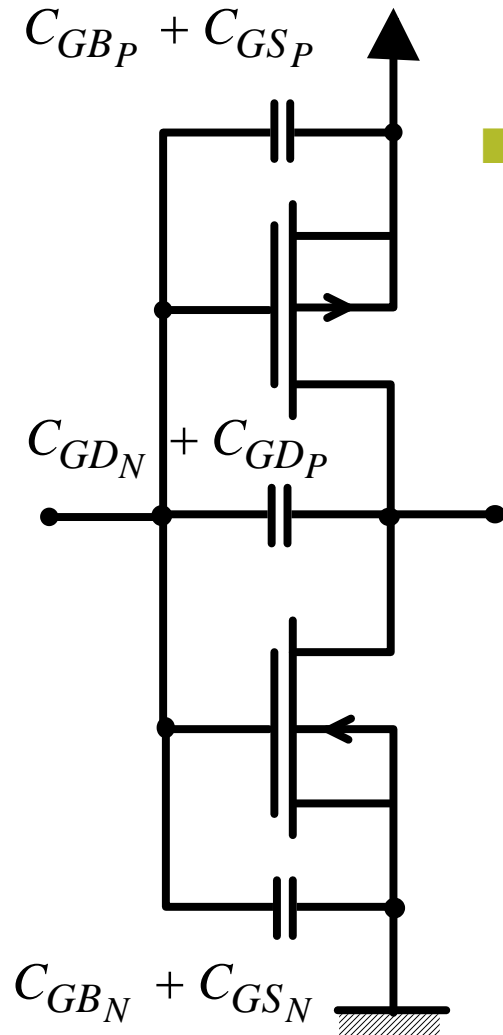
- $C_S$  : ensemble des capacités parasites vues sur la sortie d'un opérateur, en dynamique

- Capacités de jonctions drain/substrat

$$C_S = \sum C_{jN} + \sum C_{jP} \quad \text{pour un opérateur quelconque}$$

$C_S$  est proportionnel à la surface des zones de diffusions

# Capacité d'entrée d'un opérateur CMOS



■  **$C_E$**  : ensemble des capacités parasites vues sur une entrée d'un opérateur, en dynamique

- Capacités de grille des transistors
- Inverseur CMOS  $C_E = C_{G_N} + C_{G_P}$
- Opérateur quelconque

$$C_E = \sum C_{G_N} + \sum C_{G_P}$$

**$C_E$  est proportionnelle à la surface des canaux de conduction**

# Capacité d'entrée minimale

## Entrance et sortance

- $C_{min}$  : capacité d'entrée d'un inverseur CMOS de **taille minimale** = **capacité de référence**
- **Entrance** ou **fan-in**

$$F_{in} = \frac{C_E}{C_{min}}$$

$$C_L = C_S + C_{int} + \sum C_E$$

$$C_L = C_S + C_{int} + C_{min} \sum F_{in}$$

- **Sortance** ou **fan-out**

$\Sigma$  des entrances des opérateurs en charge

$$F_{out} = \sum F_{in}$$

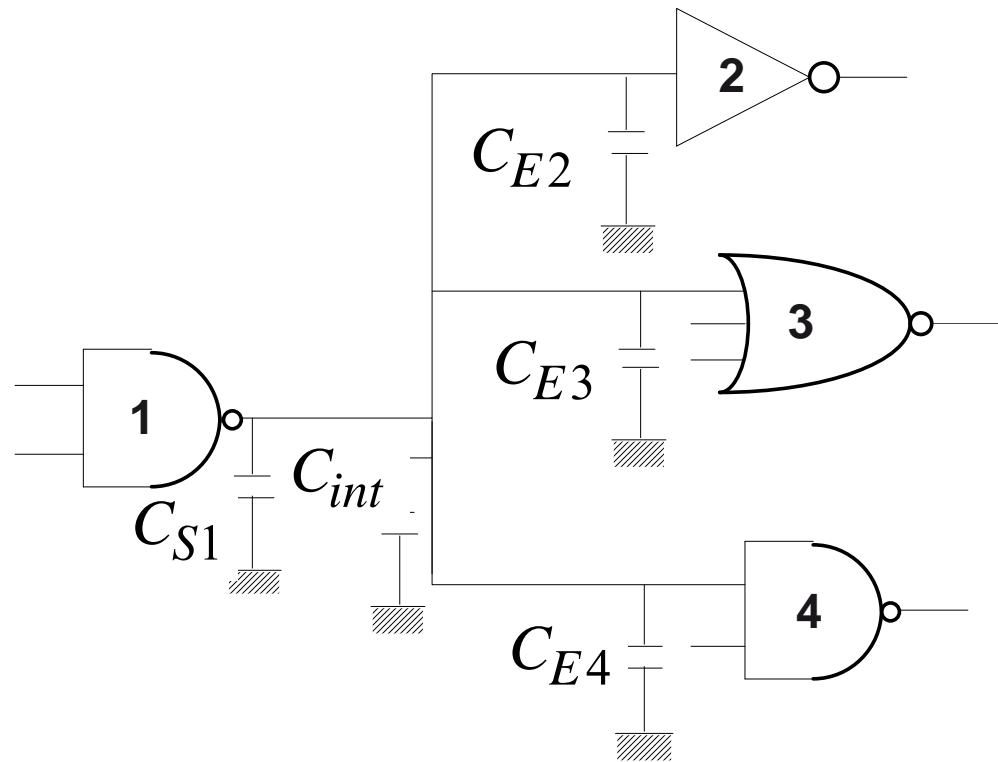
$$C_L = C_S + C_{int} + C_{min} F_{out}$$

# Temps de commutation et sortance

$$C_L = C_S + C_{int} + C_{min}F_{out}$$

$$\Rightarrow t_p = t_{pS} + t_{pint} + \tau F_{out}$$

- $F_{out}$  = sortance de l'opérateur
- $\tau$  = retard dû à  $C_{min}$
- $t_{pS}$  prend en compte les retards (jonction)
- $t_{pint}$  est proportionnel à la longueur des interconnexions



## ■ Bibliothèques des fabricants de circuits intégrés

- $(\tau, t_{pS})$  pour chaque type d'opérateur

# L'avenir des circuits CMOS (I)

## ■ Evolution des technologies CMOS

Réduction de  $L_{min}$  dans un rapport  $k$  ( $k = 1,5$  tous les 3 ans)

- **Complexité** : taille des transistors divisée par  $k^2$   
=> complexité accrue dans un rapport  $k^2$
- **Vitesse**  
vitesse accrue dans un rapport compris entre  $k$  et  $k^2$
- **Consommation**  
Consommation accrue dans un rapport  $k^2$  à  $k^3$  à  $V_{DD}$  constant.  
=> facteur limitant de la croissance de la densité d'intégration  
=> diminution de  $V_{DD}$

## L'avenir des circuits CMOS (II)

### ■ Technologies commercialement disponibles et à venir

- **couramment utilisées** : CMOS 90 nm/ 65 nm, 11 à 15 niveaux de métal,  $V_{DD} \sim 0,8$  à  $1,1V$   
=> **densité d'intégration** : 360 Mtr/cm<sup>2</sup> (ASIC)
- **prochaine génération (2009)** : CMOS 50 nm, 12 à 16 niveaux de métal ( $\mu P$  :  $f_{max} \sim 8$  GHz),  $V_{DD} \sim 0,8$  à  $1,0V$   
=> **densité d'intégration** : 570 Mtr/cm<sup>2</sup> (ASIC)
- **technologies à l'étude (2020)** : CMOS 14 nm, 14 à 18 niveaux de métal,  $f_{max} \sim 75$  GHz,  $V_{DD} \sim 0,5$  à  $0,7V$   
=> **densité d'intégration** : 7,2 Gtr/cm<sup>2</sup> (ASIC)